

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326289

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

H01L 21/8247
 H01L 29/788
 H01L 29/792
 G02F 1/1368
 H01L 21/20
 H01L 21/322
 H01L 21/8238
 H01L 27/092
 H01L 27/08
 H01L 27/115
 H01L 29/786

(21)Application number : 2001-063434

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 07.03.2001

(72)Inventor : KATO KIYOSHI
YAMAZAKI SHUNPEI

(30)Priority

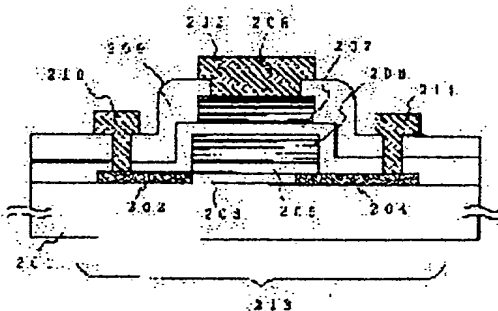
Priority number : 2000064223 Priority date : 08.03.2000 Priority country : JP

(54) NONVOLATILE MEMORY AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile memory capable of lowering a power source voltage and a power consumption, a nonvolatile memory capable of being raised in its function and increased in multi-functions and reduced in size and a semiconductor device having the nonvolatile memory.

SOLUTION: The nonvolatile memory comprises a memory cell array constituted of complete depletion type memory TFTs(thin film transistors), drive circuits of memory cells and another peripheral circuit, which are integrally formed on the same substrate. Further, a pixel part for constituting the semiconductor device, a drive circuit for driving the pixel part and the nonvolatile memory are integrally formed on a substrate having an insulating surface. The complete depletion type memory TFTs are used to thereby lower the power source voltage and the power consumption of the nonvolatile memory, and improve a number of rewriting times. The nonvolatile memory and the semiconductor device can be realized to be raised in its function and increased in multi-functions and reduced in size.



201: 絶縁層、202: ゲート電極、203: 絶縁層、204: ゲート電極、205: 絶縁層、206: ゲート電極、207: 絶縁層、208: ゲート電極、209: 絶縁層、210: ゲート電極、211: 絶縁層、212: ゲート電極、213: 絶縁層、214: ゲート電極、215: 絶縁層、216: ゲート電極、217: 絶縁層、218: ゲート電極、219: 絶縁層、220: ゲート電極、221: 絶縁層、222: ゲート電極、223: 絶縁層、224: ゲート電極、225: 絶縁層、226: ゲート電極、227: 絶縁層、228: ゲート電極、229: 絶縁層、230: ゲート電極、231: 絶縁層、232: ゲート電極、233: 絶縁層、234: ゲート電極、235: 絶縁層、236: ゲート電極、237: 絶縁層、238: ゲート電極、239: 絶縁層、240: ゲート電極、241: 絶縁層、242: ゲート電極、243: 絶縁層、244: ゲート電極、245: 絶縁層、246: ゲート電極、247: 絶縁層、248: ゲート電極、249: 絶縁層、250: ゲート電極、251: 絶縁層、252: ゲート電極、253: 絶縁層、254: ゲート電極、255: 絶縁層、256: ゲート電極、257: 絶縁層、258: ゲート電極、259: 絶縁層、260: ゲート電極、261: 絶縁層、262: ゲート電極、263: 絶縁層、264: ゲート電極、265: 絶縁層、266: ゲート電極、267: 絶縁層、268: ゲート電極、269: 絶縁層、270: ゲート電極、271: 絶縁層、272: ゲート電極、273: 絶縁層、274: ゲート電極、275: 絶縁層、276: ゲート電極、277: 絶縁層、278: ゲート電極、279: 絶縁層、280: ゲート電極、281: 絶縁層、282: ゲート電極、283: 絶縁層、284: ゲート電極、285: 絶縁層、286: ゲート電極、287: 絶縁層、288: ゲート電極、289: 絶縁層、290: ゲート電極、291: 絶縁層、292: ゲート電極、293: 絶縁層、294: ゲート電極、295: 絶縁層、296: ゲート電極、297: 絶縁層、298: ゲート電極、299: 絶縁層、300: ゲート電極。

LEGAL STATUS

BEST AVAILABLE COPY

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2001-326289

(P2001-326289A)

(43)公開日 平成13年11月22日(2001.11.22)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 21/8247		G 0 2 F 1/1368	
29/788		H 0 1 L 21/20	
29/792		21/322	Z
G 0 2 F 1/1368		27/08	3 3 1 E
H 0 1 L 21/20		29/78	3 7 1
審査請求 未請求 請求項の数14 O L (全 27 頁) 最終頁に続く			

(21)出願番号 特願2001-63434(P2001-63434)

(22)出願日 平成13年3月7日(2001.3.7)

(31)優先権主張番号 特願2000-64223(P2000-64223)

(32)優先日 平成12年3月8日(2000.3.8)

(33)優先権主張国 日本(JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 加藤 清

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

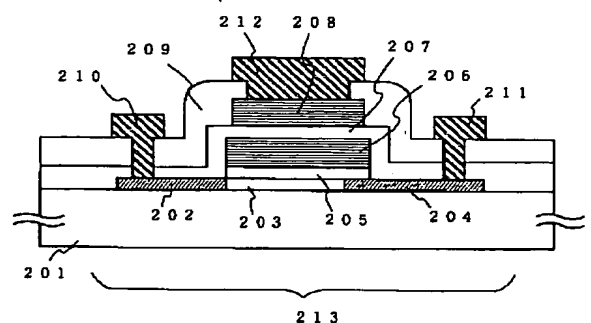
導体エネルギー研究所内

(54)【発明の名称】 不揮発性メモリおよび半導体装置

(57)【要約】 (修正有)

【課題】 低電源電圧化、低消費電力化を可能とする不揮発性メモリ、高／多機能化、小型化を可能とする不揮発性メモリおよび不揮発性メモリを具備する半導体装置を提供する。

【解決手段】 不揮発性メモリを完全空乏型のメモリTFT(薄膜トランジスタ)によって構成されるメモリセルアレイ、メモリセルの駆動回路および他の周辺回路によって構成し、これらを同一基板上に一体形成する。また半導体装置を構成する画素部と画素部を駆動する駆動回路と不揮発性メモリとを、絶縁表面を有する基板上に一体形成する。完全空乏型のメモリTFTを用いることにより不揮発性メモリの低電源電圧化、低消費電力化、書き換え回数向上が可能となる。TFTによって構成された回路および半導体部品と一体形成することにより不揮発性メモリおよび半導体装置の高／多機能化及び小型化が実現される。



201 基板 202 ソース領域 203 チャネル形成領域 204 ドレイン領域 205 第1のゲート絶縁膜 206 フローティングゲート電極 207 第2のゲート絶縁膜 208 コントロールゲート電極 209 層間絶縁膜 210 ソース配線 211 ドレイン配線 212 コントロールゲート配線 213 メモリTFT

【特許請求の範囲】

【請求項1】複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルの駆動回路と、を少なくとも備えた不揮発性メモリであって、前記メモリセルアレイと前記メモリセルの駆動回路とは同一基板上に一体形成され、前記複数のメモリセルはそれぞれメモリTFTを少なくとも有しており、

前記メモリTFTは、半導体活性層と、第1のゲート絶縁膜と、フローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極と、を少なくとも備えており、

前記メモリTFTは完全空乏型であることを特徴とする不揮発性メモリ。

【請求項2】複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルの駆動回路と、を少なくとも備えた不揮発性メモリであって、前記メモリセルアレイと前記メモリセルの駆動回路とは同一基板上に一体形成され、前記複数のメモリセルはそれぞれメモリTFTを少なくとも有しており、

前記メモリTFTは、半導体活性層と、第1のゲート絶縁膜と、フローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極と、を少なくとも備えており、

前記メモリTFTの半導体活性層の膜厚は、1nm以上であり、かつ、前記メモリTFTのチャンネル長の1/4以下であることを特徴とする不揮発性メモリ。

【請求項3】請求項1または請求項2において、前記メモリTFTの半導体活性層の膜厚は、1～50nmであることを特徴とする不揮発性メモリ。

【請求項4】請求項1において、前記メモリセルアレイまたは前記メモリセルの駆動回路を構成するTFTは完全空乏型であることを特徴とする不揮発性メモリ。

【請求項5】請求項2において、前記メモリセルアレイまたは前記メモリセルの駆動回路を構成するTFTの半導体活性層の膜厚は、1nm以上であり、かつ、前記TFTのチャンネル長の1/4以下であることを特徴とする不揮発性メモリ。

【請求項6】請求項4または請求項5において、前記メモリセルアレイまたは前記メモリセルの駆動回路を構成するTFTの半導体活性層の膜厚は、1～50nmであることを特徴とする不揮発性メモリ。

【請求項7】請求項1乃至請求項6のいずれか1項において、前記複数のメモリセルがそれぞれ有するTFTは前記メモリTFTだけであることを特徴とする不揮発性メモリ。

【請求項8】請求項1乃至請求項6のいずれか1項において、前記複数のメモリセルがそれぞれ有するTFTは前記メモリTFTとスイッチングTFTであることを特

徴とする不揮発性メモリ。

【請求項9】請求項1乃至請求項8のいずれか1項に記載の不揮発性メモリであって、フラッシュタイプの消去を行うことを特徴とする不揮発性メモリ。

05 【請求項10】請求項1乃至請求項9のいずれか1項において、前記基板とは、絶縁表面を有する基板であることを特徴とする不揮発性メモリ。

【請求項11】請求項1乃至請求項9のいずれか1項において、前記基板とは、SOI基板であることを特徴とする不揮発性メモリ。

10 【請求項12】複数の画素がマトリクス状に配置された画素部と、前期画素部を駆動する駆動回路と、請求項10に記載の不揮発性メモリと、を少なくとも備えた半導体装置であって、

15 前記画素部と前記駆動回路と前記不揮発性メモリとは、絶縁表面を有する基板上に一体形成されることを特徴とする半導体装置。

【請求項13】請求項12において、前記半導体装置とは、液晶表示装置、或いはEL表示装置であることを特徴とする半導体装置。

20 【請求項14】請求項12において、前記半導体装置とは、ディスプレイ、ビデオカメラ、ヘッドマウントディスプレイ、DVDプレーヤー、ゴーグル型ディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明はSOI (Silicon On Insulator) 技術を用いて形成される薄膜トランジスタ (以下TFTという) で構成された半導体不揮発性メモリに関する。特に、その駆動回路を含む周辺回路と共に同一基板上に一体形成された、電氣的書き込み及び消去可能な半導体不揮発性メモリ (以下EEPROMまたはElectrically Erasable and Programmable Read Only Memoryという) に関する。また、TFTで構成された画素部、画素部を駆動する駆動回路、および不揮発性メモリが同一基板上に一体形成された半導体装置に関する。

【0002】なお、本願明細書において、電氣的書き込み及び消去可能な半導体不揮発性メモリ (EEPROM) とは、文字通り、電氣的な書き込みおよび電氣的な消去が可能な半導体不揮発性メモリの全体を指し、例えば、フラッシュメモリをその範疇に含む。また、単に不揮発性メモリあるいは半導体不揮発性メモリと言った場合、特に断りのない限り、EEPROMを指す。なお、本願明細書において、薄膜トランジスタ (TFT) とは、SOI技術を用いて形成されるトランジスタの全体を指し、SOI技術を用いて形成されるメモリ素子 (以下メモリTFTという) をその範疇に含む。勿論、絶縁表面を有する基板上に形成されたものであっても、SO

I 基板上に形成されたものであっても構わない。また、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、液晶表示装置およびEL表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器をその範疇に含む。

【0003】

【従来の技術】近年、半導体装置の多機能化、高機能化および小型化が急速に進むなかで、半導体装置におけるメモリの重要性がますます高まってきた。

【0004】例えば磁気ディスクは、記憶容量が大きいこと、不揮発性であること、等からコンピュータの外部記憶装置をはじめとして、現在最もよく用いられる記憶装置の一つである。しかしながら、携帯型コンピュータ、携帯電話といった携帯機器が急速に普及するなかで、磁気ディスクが抱える問題点、特に小型化が難しい、振動に弱い、消費電力が大きい、といった問題点はより深刻となっている。

【0005】これらの欠点を克服するメモリとして注目を浴びているのが、半導体不揮発メモリ（特に、EEPROM）である。半導体不揮発メモリは磁気ディスクと同様に不揮発性であるが、磁気を利用するのではなく、半導体（主に、バルクシリコン）を用いて作製され、電気的に読み出し、書き込みおよび消去を行う。半導体不揮発性メモリは磁気ディスクと比べ、集積度が高く、衝撃に強く、消費電力も小さい。また、書き込み／読み出し速度は、磁気ディスクの数十倍である。以前は書き換え回数やデータ保持時間に関する問題点が指摘されたが、最近は十分な性能を有するものが開発されてきている。

【0006】特に、フラッシュタイプの消去を行う半導体不揮発性メモリ（フラッシュメモリという）においては、さらに高い集積度が実現され、現在の半導体不揮発性メモリの主流となっている。なお、フラッシュタイプの消去とは、メモリ全体の一括消去、またはメモリのブロック単位の消去を指す。

【0007】このような背景から、近年、半導体不揮発性メモリを磁気ディスクの代替品として用いる動きが高まってきた。そしてすでに様々な分野への開発、商品化が進んでいる。その一例として、メモリーカード（メモリースティックともいう）が挙げられる。記憶容量をそれほど必要としないメモリーカードは、半導体不揮発性メモリの利点が最も活かされる分野であり、今後、音楽、映像、地図、電子本等を記憶する記憶媒体として急速に普及することが予想される。また一方で、システムに特化したメモリの開発も行われている。例えば、すでにコンピュータ内のメモリの一部として、或はプリンター、通信機器等の格納メモリとして半導体不揮発性メモリが用いられている。

【0008】ここで、従来の半導体不揮発性メモリに用

いられる代表的なメモリ素子の断面構造と動作原理について簡単に説明する。図3にメモリ素子の模式的な断面構造を示す。図3において、メモリ素子301は、p型のバルクシリコン基板302上に形成され、第1のゲート絶縁膜305、フローティングゲート電極306、第2のゲート絶縁膜307、コントロールゲート電極308が順に積層された構造となっている。また、シリコン基板の表面付近には、ソース／ドレイン領域（高濃度n型不純物領域）303、304が形成されている。

【0009】メモリ素子は、フローティングゲート電極への電荷（主に電子）の注入と放出によってメモリ機能を実現する。つまり、フローティングゲート電極に電荷が蓄積された場合と、蓄積されていない場合におけるしきい値電圧の違いを利用して、1ビットのデータを記憶する。メモリ素子のデータ書き込みは、例えば、ドレインソース間およびコントロールゲート電極－ソース間に正の高電圧を印加し、インパクトイオン化によって発生したホットキャリア（主にホットエレクトロン）をフローティングゲート電極へ注入することによって行う。また、メモリ素子のデータ消去は、例えば、コントロールゲート電極－ソース間に負の高電圧を印加し、トンネル電流（FN電流、ファウラノルドハイム電流）によってフローティングゲート電極に蓄積された電子をソース領域へ放出することによって行う。

【0010】

【発明が解決しようとする課題】上述したように、不揮発性メモリは、多くの分野への開発、商品化が進むとともに、磁気ディスクの代替品として注目されている。しかし一方で、不揮発性メモリ特有の課題やメモリとしての要求は多い。

【0011】まず、不揮発性メモリ特有の課題として、低電源電圧化が挙げられる。上述したように、不揮発性メモリは書き込み時および消去時に高電圧を必要とする。そのため、不揮発性メモリをシステムに組み込むとすると、新たに高電圧電源が必要となり、装置の小型化、低コスト化等の妨げとなってしまう。また、他の記録媒体との互換性等の点からも、不揮発性メモリの低電源電圧化は重要な課題となっている。

【0012】この他、携帯機器への応用においては、不揮発性メモリおよび不揮発性メモリを具備する半導体装置の小型化および消費電力の低減が重要な課題として挙げられる。小型化を行う手段としては、メモリ素子の微細化、多値化等が挙げられるが、一方で、従来の不揮発性メモリはパッケージに収められており、不揮発性メモリを具備する半導体装置の小型化に支障をきたしていた。

【0013】本願発明は、上記の事情を鑑みてなされたものである。本願発明は、低電源電圧化および低消費電力化を可能とすると共に、多機能あるいは高機能であつてしかも小型の不揮発性メモリおよび不揮発性メモリを

具備する半導体装置を提供することを課題とする。

【0014】

【課題を解決するための手段】本願発明では、不揮発性メモリを、絶縁表面を有する基板またはSOI (Silicon On Insulator) 基板上に形成されるメモリTFETを用いて構成する。さらに本願発明では、低電源電圧化および低消費電力化を妨げる要因である、書き込み時および消去時に流れる大電流を低減する手段として、不揮発性メモリを完全空乏型のメモリTFETを用いて構成する。

【0015】なお、本明細書において、完全空乏型のTFET (メモリTFETを含む) とは、半導体活性層の厚さがチャネル領域に形成される空乏層の厚さよりも薄いTFETのことをいう。完全空乏型のTFETの半導体活性層は、典型的にはチャネル長の1/4以下の膜厚を有する。従って、本願発明では、不揮発性メモリを半導体活性層の膜厚が1nm以上、チャネル長の1/4以下であるメモリTFETによって構成すると言ってもよい。また、後述する完全空乏型のTFETの特徴をより顕著に引き出すためには、半導体活性層の膜厚が1nm~50nmであることが好ましい。

【0016】本願発明により、不揮発性メモリを、TFETによって構成されたあらゆる回路と一体形成することが可能となる。特に、メモリセルの駆動回路 (代表的には、アドレスデコーダ) やその他の周辺回路を一体形成することにより、従来よりも小型の不揮発性メモリを提供することが可能となる。また、TFETによって構成された画素部および画素部を駆動する駆動回路を有する半導体装置において、新たにメモリ部として不揮発性メモリを一体形成し、そのシステムに組み込むことにより、多機能または高機能、かつ小型の半導体装置を提供することが可能となる。

【0017】また、完全空乏型のメモリTFETは、バルクシリコン上のメモリ素子あるいは半導体活性層が空乏層よりも厚いメモリ素子と比較して、多くの優れた特徴を有する。

【0018】まず、書き込み時においては、メモリTFETの半導体活性層が薄いためインパクトイオン化 (impact ionization、インパクトイオナイゼーション、あるいは衝突電離) が起こりやすくなり、ホットキャリア注入による書き込みをより低電圧かつ小電流で行うことが可能となる。

【0019】消去時においては、従来バンド間トンネル電流によって電流が増加するという問題があった。これはバルクシリコンの場合、基板の電位が固定されるため、基板とソース又はドレイン間に高い電位差が生じることによる。しかし完全空乏型のメモリTFETにおいては、半導体活性層がバルクシリコンのように固定電位を与えられていないため、ソース領域又はドレイン領域とチャネル形成領域との間にかかる電界は緩和される。その結果、バンド間トンネル電流が低減され、消去時に流

れる電流は減少する。

【0020】このように、書き込みおよび消去時の電流が減少することによって、消費電力が減少する。また、電流負荷の低減および電圧降下の低減によって昇圧回路による昇圧が容易となり、低電源電圧化が可能となる。さらに、書き込み時および消去時の電流の低減は書き換え回数の向上をもたらす、不揮発性メモリの信頼性の向上をもたらす。

【0021】また、完全空乏型のメモリTFETは、接合容量と空乏層容量が小さいことが特徴である。接合容量が小さいと、消費電力が減少する。また、メモリ素子に流れる電流のオン/オフが高速になる。つまりホットキャリア注入による書き込みや読み出し速度が向上する。一方、空乏層容量が小さいと、良好なサブスレッショルド特性が得られる。これにより書き込み/消去によるしきい値電圧の変化が実効的に増大し、より低電圧での動作が可能となる。

【0022】なお、本願発明の不揮発性メモリにおいて、メモリセルと一体形成されるメモリセルの駆動回路および他の周辺回路を構成するTFETを完全空乏型にすること、および本願発明の半導体装置において、メモリ部と一体形成される画素部及び画素部を駆動する駆動回路を構成するTFETを完全空乏型にすること、は有効である。これにより、メモリセル以外の回路部においても、動作の高速化、低消費電力化、低電圧化を実現することが可能となる。

【0023】以下に、本願発明の構成を示す。

【0024】複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルの駆動回路と、を少なくとも備えた不揮発性メモリであって、前記メモリセルアレイと前記メモリセルの駆動回路とは同一基板上に一体形成され、前記複数のメモリセルはそれぞれメモリTFETを少なくとも有しており、前記メモリTFETは、半導体活性層と、第1のゲート絶縁膜と、フローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極と、を少なくとも備えており、前記メモリTFETは完全空乏型であることを特徴とする不揮発性メモリが提供される。

【0025】複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルの駆動回路と、を少なくとも備えた不揮発性メモリであって、前記メモリセルアレイと前記メモリセルの駆動回路とは同一基板上に一体形成され、前記複数のメモリセルはそれぞれメモリTFETを少なくとも有しており、前記メモリTFETは、半導体活性層と、第1のゲート絶縁膜と、フローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極と、を少なくとも備えており、前記メモリTFETの半導体活性層の膜厚は、1nm以上であり、かつ、前記メモリTFETのチャネル長の1/4以下であることを特徴とする不揮発性メモリが提供される。

【0026】前記メモリTFTの半導体活性層の膜厚は、1～50nmであることが好ましい。

【0027】前記メモリセルアレイまたは前記メモリセルの駆動回路を構成するTFTは完全空乏型であっても良い。

【0028】前記メモリセルアレイまたは前記メモリセルの駆動回路を構成するTFTの半導体活性層の膜厚は、1nm以上であり、かつ、前記TFTのチャンネル長の1/4以下であっても良い。

【0029】前記メモリセルアレイまたは前記メモリセルの駆動回路を構成するTFTの半導体活性層の膜厚は、1～50nmであっても良い。

【0030】前記複数のメモリセルがそれぞれ有するTFTは前記メモリTFTだけであっても良い。

【0031】前記複数のメモリセルがそれぞれ有するTFTは前記メモリTFTとスイッチングTFTであっても良い。

【0032】前期不揮発性メモリは、フラッシュタイプの消去を行っても良い。

【0033】前記基板とは、絶縁表面を有する基板であっても良い。

【0034】前記基板とは、SOI基板であっても良い。

【0035】複数の画素がマトリクス状に配置された画素部と、前期画素部を駆動する駆動回路と、前期不揮発性メモリと、を少なくとも備えた半導体装置であって、前記画素部と前記駆動回路と前記不揮発性メモリとは、絶縁表面を有する基板上に一体形成されることを特徴とする半導体装置が提供される。

【0036】前記半導体装置として、液晶表示装置、或いはEL表示装置が提供される。

【0037】前記半導体装置とは、ディスプレイ、ビデオカメラ、ヘッドマウントディスプレイ、DVDプレーヤー、ゴーグル型ディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオが提供される。

【0038】

【発明の実施の形態】以下に、本願発明の不揮発性メモリの回路図及び駆動方法の説明を行う。本実施の形態では、不揮発性メモリとして $m \times n$ ビットのNOR型フラッシュメモリ(m 、 n はそれぞれ1以上の整数)を例にとって説明するが、本実施の形態と異なる例については、実施例2～4を参照することができる。

【0039】図1に本願発明の不揮発性メモリの回路図を示す。本実施の形態の不揮発性メモリは、複数のメモリセルが縦 m 個×横 n 個のマトリクス状に配置されたメモリセルアレイ105、Xアドレスデコーダ101、Yアドレスデコーダ102、および他の周辺回路103、104によって構成される。各メモリセルは1つのメモリTFTを有しており、1ビットの情報を記憶することができるため、本実施の形態の不揮発性メモリは、 $m \times$

n ビットの記憶容量を有する。また、他の周辺回路には、アドレスバッファ回路、コントロールロジック回路、センスアンプ、昇圧回路、等が含まれ、必要に応じて設けられる。なお、メモリTFT(1、1)～(n 、 m)は n チャネル型または p チャネル型のいずれの導電型TFTでも良いが、本実施の形態では、 n チャネル型TFTとする。

【0040】本願発明の不揮発性メモリはSOI技術を用いて形成されるため、メモリセルの駆動回路(本実施の形態では、Xアドレスデコーダ101、Yアドレスデコーダ102)、および他の周辺回路103、104と共に、絶縁表面を有する基板上またはSOI基板上に一体形成することができ、小型の不揮発性メモリが実現できる。さらに、TFTによって構成されるいかなる半導体装置の部品とも一体形成することが可能であり、多機能化、高機能化、および小型化が可能な不揮発性メモリを具備する半導体装置を提供することが可能となる。そのような半導体装置例については、実施例10、11を参照することができる。

【0041】図1において、 i 番目の列に配置されている m 個のメモリセルを構成するメモリTFT(i 、1)、(i 、2)～(i 、 m)は、ドレイン電極およびソース電極にビット線 B_i およびソース線 S_i がそれぞれ接続されている(i は1以上 n 以下の整数)。また、 j 番目の行に配置されている n 個のメモリセルを構成するメモリTFT(1、 j)、(2、 j)～(n 、 j)は、コントロールゲート電極にワード線 W_j が接続されている(j は1以上 m 以下の整数)。ビット線 $B_1 \sim B_n$ およびワード線 $W_1 \sim W_m$ は、Xアドレスデコーダ101およびYアドレスデコーダ102にそれぞれ接続されている。また、ソース線 $S_1 \sim S_n$ は共通に所定の電位 V_s が与えられる。

【0042】図1に示した不揮発性メモリはNOR型フラッシュメモリと呼ばれ、データの消去はフラッシュタイプの消去(メモリ全体の一括消去、またはブロック毎の消去)が行われる。また、データの書き込みと読み出しは、Xアドレスデコーダ101およびYアドレスデコーダ102によって、特定のメモリセルが指定され、1ビット毎に行われる。

【0043】なお、本願発明の不揮発性メモリは、図1に示したNOR型フラッシュメモリに限られるわけではなく、NAND型フラッシュメモリ(実施例4参照)や、メモリセルをメモリTFTとスイッチングTFTからなる複数のTFTによって構成するNOR型フル機能EEPROM(実施例3参照)、および他の公知の不揮発性メモリであっても構わない。

【0044】次に、図1に示した不揮発性メモリを構成するメモリTFTの断面構造について、図2を用いて説明する。

【0045】図2において、メモリTFT213は、ソ

ース領域202、ドレイン領域204およびチャネル形成領域203からなる半導体活性層、第1のゲート絶縁膜205、フローティングゲート電極206、第2のゲート絶縁膜207、およびコントロールゲート電極208を有する。また、層間膜209上に、コンタクトホールを通して、ソース配線210、ドレイン配線211およびコントロールゲート配線212が引き出されている。

【0046】本願発明は、不揮発性メモリを形成するメモリTFETが完全空乏型であることを特徴とする。典型的には、メモリTFETの半導体活性層の厚さが1nm以上、メモリ素子のチャネル長の1/4以下であればよい。さらに、メモリTFETの半導体活性層の厚さが1nm～50nmの範囲であることが好ましい。

【0047】メモリTFET213を上記のような構造とすることにより、バルクシリコン上に形成されたメモリTFET（図3参照）、あるいは本実施の形態よりも膜厚が厚い半導体活性層を有するメモリTFETと比較して、多くの優れた特徴を有する。以下に、メモリTFETの動作原理と共に、その特徴について述べる。

【0048】まず、メモリTFET213にデータを書き込む場合は、ソース配線210をGNDに落とし、ドレイン配線211およびコントロールゲート配線212に正の高電圧（例えば20V）を印加する。その結果、メモリTFET213のチャネル形成領域203を移動するキャリアが加速され、インパクトイオン化が起こり、多数の高エネルギー状態の電子（ホットエレクトロン）が発生する。そして、このホットエレクトロンは第1のゲート絶縁膜205のエネルギー障壁を乗り越え、フローティングゲート電極206に注入される。このようにしてフローティングゲート電極206に電荷が蓄積され、書き込みが行われる。

【0049】本願発明におけるメモリTFET213は、半導体活性層が薄いため、書き込み時にインパクトイオン化が起こりやすいという利点がある。これにより、ホットキャリア注入による書き込みをより低電圧かつ小電流で行うことが可能となる。言い換えると、書き込み時における動作の低電圧化と、消費電力の低減が可能となる。

【0050】次に、メモリTFET213に書き込まれたデータを消去する場合は、ソース配線210およびコントロールゲート配線212をGNDに落とし、ドレイン配線211に正の高電圧（例えば20V）を印加する。その結果、フローティングゲート電極206に蓄積されている電子がトンネル電流（FN電流、ファウラノルドハイム電流ともいう）によってドレイン領域204へ注入され、データの消去が行われる。

【0051】本願発明におけるメモリTFET213は、半導体活性層がバルクシリコンのように固定電位を与えられていないため、ドレイン領域204とチャネル形成

領域203との間にかかる電界は緩和される。その結果、バルクシリコン基板において消去時の電流を増加させる原因となっていた、基板ドレイン間に流れるバンド間トンネル電流を大幅に低減することが可能となる。

05 その結果、消費電力が低減される。

【0052】書き込み時および消去時の電流の減少は、さらに2つの重要な効果をもたらす。1つ目は信頼性の向上に関する。書き込み時および消去時の電流が減少すると、第1のゲート酸化膜205の劣化は大幅に抑えられ、その結果、書き換え可能な回数は大幅に向上する。つまり、信頼性が大幅に向上する。

【0053】2つ目は低電源電圧化に関する。従来の不揮発性メモリは、周辺回路の一部に昇圧回路を組み込むことによって、電源電圧は低く抑えつつ、メモリTFETの動作に必要な高電圧を発生させていた。しかし、書き込み時および消去時に、大電流が流れると、昇圧回路への電流負荷の増大とメモリセルでの電圧降下の影響から、十分な昇圧を行うことができず、低電源電圧化に支障をきたしていた。本願発明では、上述したように、高電圧を必要とする動作時の電流を低減することが可能となる。その結果、十分な昇圧が可能となり、低電源電圧化を実現することが可能となる。

【0054】次に、メモリTFET213からデータを読み出す場合は、ソース配線210をGNDに落とし、コントロールゲート電極208に所定の電圧（例えば5V）を印加する。この時、メモリTFET213のフローティングゲート電極208に電荷が蓄積されている場合と蓄積されていない場合のしきい値電圧に応じて、メモリTFET213がオフまたはオンとなることによって、メモリTFETに記憶されているデータが読み出される。

【0055】本願発明の不揮発性メモリにおいては、読み出し動作の高速化も実現される。さらに、低消費電力化および低電圧動作化の効果も得られる。

【0056】これらは、メモリTFETに限らず、通常のTFETにおいても見られる共通の特徴であり、完全空乏型のTFETが小さな接合容量と空乏層容量を有するという性質に基づく。接合容量が小さいと、消費電力が減少する。また、TFETに流れる電流のオン／オフが高速になり、その結果、メモリTFETの書き込み速度と読み出し速度が向上する。一方、空乏層容量が小さいと、良好なサブスレッショルド特性が得られる。これにより、メモリTFETの書き込み／消去によるしきい値電圧の変化が実効的に増大し、より低電圧での動作が可能となる。

【0057】本願発明において、メモリTFETと一体形成されるメモリセルの駆動回路および他の周辺回路を構成するTFETを完全空乏型にすること、あるいは、電気光学装置においてメモリ部と一体形成される画素部及び画素部を駆動する駆動回路を構成するTFETを完全空乏型にすることは有効である。典型的には、TFETの半導体活性層の厚さは1nm以上、メモリ素子のチャネル長の

1/4以下であればよい。さらに、TFTの半導体活性層の厚さが1nm〜50nmの範囲であることが好ましい。これにより、メモリセル以外の回路部においても、動作の高速化、低消費電力化、低電圧化を実現することが可能となる。

【0058】この他、完全空乏型のメモリTFTは、高いソフトエラー耐性を有する。これは、バルクシリコンと比較して素子分離が完全に行われており、アルファ線によって発生する電荷量が減少するためである。また、半導体活性層が薄いほど、アルファ線によって発生する電荷量は減少し、ソフトエラー耐性は向上する。

【0059】なお、図2において、メモリTFT213のドレイン領域204とフローティングゲート電極206は第1のゲート絶縁膜205を介して一部重なっている。この重なった領域（オーバーラップ領域と呼ぶ）は、メモリTFT213の消去を行うための領域であり、消去時のトンネル電流は主にこの領域を流れる。なお、消去をソース側で行う場合は、オーバーラップ領域をソース側に設ける。また、ゲート電圧に負の高電圧を印加することによって、チャネル形成領域全体に放出する場合は、特に設けなくてもよい。

【0060】また、図2において、メモリTFT213のコントロールゲート電極208はフローティングゲート電極206にのみ重なっているが、フローティングゲート電極206と半導体活性層の両方に重なっていてもよい。このような構造はオフセット構造と呼ばれ、オフ電流の低減などの効果がある（実施例6参照）。

【0061】ここで、上述したメモリTFTの動作原理に基づいて、本実施の形態の不揮発性メモリの動作について説明を行う。図1におけるメモリTFT（1、1）への書き込みと読み出し、およびメモリ全体の一括消去について説明する。

【0062】まず、メモリTFT（1、1）にデータを書き込む場合は、ソース線S1〜SnをGNDに落ち、ビット線B1とワード線W1に、それぞれ正の高電圧（例えば20V）を印加する。その結果、インパクトイオン化によって発生したホットエレクトロンがフローティングゲート電極に注入され書き込みが行われる。メモリTFT（1、1）のしきい値電圧は、フローティングゲート電極に蓄積された電荷量に応じて変化する。

【0063】メモリTFT（1、1）に記憶されたデータを読み出す場合には、ソース線S1〜SnをGNDに落ち、ワード線W1に所定の電圧を印加する。そして、メモリTFT（1、1）のフローティングゲート電極に電荷が蓄積されている場合と蓄積されていない場合のしきい値電圧に対応して、メモリセルに記憶されているデータをビット線B1から読み出す。

【0064】なお、所定の電圧は、“1”の状態（フローティングゲート電極に電子が蓄積されていない状態）におけるしきい値電圧と“0”の状態（フローティング

ゲート電極に電子が蓄積された状態）におけるしきい値電圧の間に設定すればよい。例えば、“1”の状態のメモリTFTが0.5V以上3.5V以下のしきい値電圧を有し、“0”の状態のメモリTFTが、6.5V以上のしきい値電圧を有する場合には、所定の電圧として例えば5Vを用いることができる。

【0065】最後に、メモリ全体の一括消去を行う場合、ソース線S1〜Snおよびワード線W1〜WmをGNDに落す。そして、ビット線B1〜Bnに正の高電圧（例えば20V）を印加すると、全てのメモリTFTにおいて、フローティングゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ注入され、記憶されていたデータが消去される。

【0066】なお、書き込み時および読み出し時において選択されていない信号線B2〜Bn、W2〜Wmの電位は全て0Vであるとする。

【0067】勿論、上述した動作電圧の値は、一例であって、その値に限られるわけではない。実際に、メモリTFT（1、1）に印加される電圧は、メモリTFTの半導体活性層の膜厚やコントロールゲート電極とフローティングゲート電極との間の容量等に依存する。そしてメモリTFT（1、1）の動作電圧もそれに従って変化する。

【0068】この他、メモリTFT（1、1）への書き込み時および読み出し時において、同じ列や行のメモリセルに電圧が印加されることによって、誤消去や誤書き込みが発生する場合がある。動作電圧は、このような書き込みストレスや読み出しストレスを最小限に抑え、誤消去や誤書き込みが発生しないように設定することが必要である。

【0069】なお、過消去を抑えるために、一括消去を行う前に、全てのメモリTFTに書き込みを行うことが好ましい。また、過消去の抑制としきい値の制御を行う回路として、ベリファイ回路を設けてもよい。

【0070】また、本実施の形態において、メモリTFTの書き込み／消去を行う場合、メモリTFTのコントロールゲート電極に一度に正負の高電圧を印加するのではなく、これよりも低い電圧を複数回のパルスで印加してもよい。この場合、TFTの劣化をある程度抑えることができる。

【0071】

【実施例】（実施例1）本実施例では、本願発明の不揮発性メモリを絶縁表面を有する基板上に作製する方法について、図4〜図6を用いて説明する。不揮発性メモリを構成するTFTとして、メモリセルを構成するメモリTFT（nチャネル型TFT）、ならびにメモリセルの駆動回路やその他の周辺回路として代表的なCMOS回路を構成する2つのTFT（pチャネル型TFTおよびnチャネル型TFT）を例にとって説明する。

【0072】以下に示す不揮発性メモリの作製方法によ

ると、本願発明の不揮発性メモリは、薄膜技術を用いて作製され得るいかなる半導体装置の部品とも、一体形成され得ることが理解される。

【0073】また、TFTで構成される周辺回路および他の半導体部品を絶縁表面を有する基板上に一体形成した不揮発性メモリおよび半導体装置を実現するためには、移動度、しきい値電圧等において好特性を有するTFTが要求される場合が多い。本実施例の作製方法によって作製されるTFTは結晶性の優れた半導体活性層を有し好特性を示すため、非晶質珪素の半導体活性層を備えたTFT等では一体形成によって実現できない様々な不揮発性メモリおよび半導体装置についても一体形成することが可能となる。

【0074】まず、絶縁表面を有する基板として石英基板401を準備する(図4(A))。石英基板の代わりに絶縁膜として窒化珪素膜を形成した石英基板、熱酸化膜を形成したシリコン基板、セラミックス基板等を用いても良い。

【0075】次に、厚さ45nmの非晶質珪素膜402を公知の成膜法で形成する(図4(A))。なお、非晶質珪素膜に限定する必要はなく、非晶質半導体膜(微結晶半導体膜、および非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を含む)であれば良い。

【0076】また、半導体活性層の厚さは、メモリTFTが完全空乏型となるように形成すればよい。典型的には、最終的な半導体活性層の厚さを1nm以上、メモリ素子のチャネル長の1/4以下(好ましくは1nm~50nm)であるように形成する。なお、半導体活性層の厚さがこのような条件を満たさない場合には、完全空乏型のTFT特有のインパクトイオン化の発生が減少し、不揮発性メモリの書き込み時における低電圧化および小電流化の効果が十分得られなくなってしまうため好ましくない。本実施例では、最終的な半導体活性層の厚さを30nmとする。

【0077】次に、非晶質珪素膜402の結晶化工程を行う。ここから図4(B)までの工程は本出願人による特開平10-247735号公報を引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0078】まず、開口部415、416を有する保護膜411~413(本実施例では150nm厚の酸化珪素膜)を形成する。そして、保護膜411~413の上にスピコート法によりニッケル(Ni)を含有する層(Ni含有層という)414を形成する。なお、レジストマスクを利用したイオン注入法、プラズマドーピング法またはスパッタ法を用いてもよい。

【0079】また、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマ

ニウム(Ge)、鉛(Pb)、インジウム(In)等を用いることができる。

【0080】次に、図4(C)に示すように、不活性雰囲気中で570℃、14時間の加熱処理を加え、非晶質珪素膜402の結晶化を行う。この際、結晶化はNiが接した領域(Ni添加領域という)421、422を起点として、基板と概略平行に進行する。このようにして形成された結晶性珪素膜423は、個々の結晶が比較的揃った状態で集合しているため、全体的な結晶性に優れるという利点がある(実施例7参照)。なお、加熱処理温度は、好ましくは500~700℃(代表的には550~650℃)とし、処理時間は、好ましくは4~24時間とすればよい。

【0081】次に、図4(D)に示すように、保護膜411~413をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域421、422に添加する。こうして高濃度にリンが添加された領域(リン添加領域という)431、432が形成される。

【0082】そして図4(D)に示すように、不活性雰囲気中で600℃、12時間の加熱処理を加える。この熱処理は、リンによる金属元素(本実施例ではNi)のゲッターリング工程であり、最終的には殆ど全てのNiは矢印が示すようにリン添加領域431、432に捕獲されてしまう。この工程により結晶性珪素膜433中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。

【0083】こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減された結晶性珪素膜433が得られる。その後、保護膜411~413を除去し、リン添加領域431、432を含まない、結晶性珪素膜433のみを用いた島状半導体層(以下、半導体活性層という)501~503をパターンニング工程により形成する(図5(A))。

【0084】次に、半導体活性層501のうち、後にメモリTFTのドレイン領域となる領域513以外をレジストマスク511、512で覆い、n型を付与する不純物元素(n型不純物元素ともいう)の添加を行う(図5(B))。この工程により形成されるn型不純物領域513には、n型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³(代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm³)の濃度で含まれるようにドーザ量を調節する。n型不純物元素としては、リン(P)や砒素(As)を用いればよく、本実施例ではリン(P)を用いる。

【0085】その後、レジストマスク511、512を除去し、珪素を含む絶縁膜でなる第1のゲート絶縁膜521を形成する(図5(C))。第1のゲート絶縁膜521の膜厚は後の熱酸化工程による増加分も考慮して10~250nmの範囲で調節すれば良い。なお、メモリTFTを構成する第1のゲート絶縁膜の厚さを10~50

nmとし、その他の素子を形成する第1のゲート絶縁膜の厚さを50～250nmとしてもよい。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。本実施例では、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成する。

【0086】次に、酸化雰囲気中で950℃、1時間の加熱処理を加え、熱酸化工程を行う。この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、半導体活性層の膜厚は、最終的に30nmとなる。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体/絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0087】次に、200～400nmの導電膜を形成し、パターニングを行いゲート電極522～524を形成する（図5（C））。この時、メモリTFITのゲート電極522（後にフローティングゲート電極となる）は、n型不純物領域513とゲート絶縁膜521を介して一部重なるように形成する。この重なった領域は、メモリTFITの消去時において、トンネル電流を流すための領域となる。

【0088】なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。

【0089】本実施例では、50nm厚の窒化タングステン（WN）膜と、350nm厚のタングステン（W）膜とでなる積層膜をスパッタ法により形成する。この時、スパッタガスとしてキセノン（Xe）、ネオン（Ne）等の不活性ガスを添加すると応力による膜はがれを防止することができる。なお、第1のゲート絶縁膜が薄い場合には（典型的には、30nm以下）、n型またはp型の導電性を付与する不純物を含む珪素膜をCVD法（減圧CVD、プラズマCVD等）によって成膜することも有効である。

【0090】次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはn型ならばリン（P）または砒素（As）、p型ならばボロン（B）、ガリウム（Ga）またはインジウム（In）等を用い

ば良い。

【0091】まず、図5（D）に示すように、ゲート電極522～524をマスクとして自己整合的にn型不純物元素（本実施例ではリン）531～536を添加し、低濃度不純物領域（n-領域）を形成する。この低濃度不純物領域は、リンの濃度が $1 \times 10^{17} \text{atoms/cm}^3 \sim 1 \times 10^{19} \text{atoms/cm}^3$ となるように調節する。

【0092】次にゲート電極522～524をマスクとしてゲート絶縁膜521をドライエッチング法によりエッチングし、601～603にパターニングする（図6（A））。

【0093】次に、図6（A）に示すように、pチャネル型TFITの全体、およびnチャネル型TFITの一部を覆う形でレジストマスク604、605を形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域606～609を形成する。この時、n型不純物元素の濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）となるように調節する。

【0094】この工程によってメモリTFITのソース・ドレイン領域606、607、CMOSを構成するnチャネル型TFITのソース・ドレイン領域608、609および、LDD領域610が形成される。

【0095】次に、図6（B）に示すように、レジストマスク604、605を除去し、新たにレジストマスク611、612を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域613、614を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドープ法により $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）の濃度となるようにボロンを添加する。こうしてpチャネル型TFITのソース・ドレイン領域613、614が形成される（図6（B））。

【0096】次に、図6（C）に示すように、レジストマスク611、612を除去した後、珪素を含む絶縁膜621を形成する。絶縁膜621は、メモリTFITにおける、フローティングゲート電極とコントロールゲート電極の間の第2のゲート絶縁膜となる。絶縁膜621の膜厚は10～250nmとすれば良い。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。なお、本実施例では、50nm厚の窒化酸化珪素膜をプラズマCVD法により形成する。

【0097】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。本実施例では電熱炉において酸素雰囲気中、550℃、4時間の熱処理を行う。またこの時、添加工程で受けた活性層の損傷も修復される。

【0098】次に、200～400nmの導電膜を形成

し、パターニングを行いコントロールゲート電極622を形成する(図6(C))。コントロールゲート電極622は、絶縁膜621を介してフローティングゲート電極の一部または全体と重なるように形成する。

【0099】なお、コントロールゲート電極622は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜をスパッタ法で形成する。スパッタガスとしてキセノン(Xe)、ネオン(Ne)等の不活性ガスを添加すると応力による膜はがれを防止することができる。なお、第1のゲート絶縁膜が薄い場合には(典型的には、30nm以下)、n型またはp型の導電性を付与する不純物を含む珪素膜をCVD法(減圧CVD、プラズマCVD等)によって成膜することも有効である。

【0100】次に、層間絶縁膜631を形成する(図6(D))。層間絶縁膜631としては珪素を含む絶縁膜、有機性樹脂膜、或いはその組み合わせによる積層膜を用いれば良い。また、膜厚は400nm~1500nmとすれば良い。本実施例では、500nm厚の窒化酸化珪素膜とする。

【0101】次に、図6(D)に示すように、層間絶縁膜631、及び絶縁膜621に対してコンタクトホールを形成し、ソース・ドレイン配線632~636及びコントロールゲート配線637を形成する。なお、本実施例では、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の公知の導電膜でも良い。なお、本実施例ではコントロールゲート配線637をコントロールゲート電極622とは別に設けたが、コントロールゲート電極をそのままコントロールゲート配線として用いてもよい。

【0102】最後に、3~100%の水素を含む雰囲気中で、300~450℃、1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。本実施例では、350℃の水素雰囲気中で2時間の熱処理を行い水素化処理を行う。また、水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0103】以上の工程によって、図6(D)に示す様な構造のTFTを作製することができる。

【0104】(実施例2) 本実施例では、実施の形態に示したメモリセルの回路図とは異なる例を図7(B)を用いて説明する。まず、図7(A)に、実施の形態に示したメモリセルアレイを代表するメモリセルの回路図を示す。2つのとなりあうメモリセルがメモリTFT701a、701b、ソース線Sa、Sb、およびビット線

Ba、Bbによって構成されている。

【0105】図7(B)に示したメモリセルの回路図の特徴は、となりあうメモリセルがソース線を共有している点にある。つまり、メモリTFT702a、702bのソース領域が、共通のソース線Sに接続されている。

【0106】このような回路構成とすることによって、図7(A)に示した回路図と比べて、ソース線の数を1/2に減らすことができ、メモリセルをより高密度に配置することが可能となる。その結果、不揮発性メモリの小型化および大容量化が可能となる。

【0107】なお、図7(B)に示したメモリセルを有する不揮発性メモリの動作方法としては、実施の形態と同じ、1ビット毎の書き込みと読み出し、およびフラッシュタイプの消去を行うことができる。このことは、実施の形態(図7(A))においてソース線が共通配線となっていることから明らかである。

【0108】なお、本実施例の不揮発性メモリは、実施の形態で示した不揮発性メモリと同様に、実施例1の作製方法によって作製することが可能である。

【0109】(実施例3) 本実施例では、図7(A)および(B)に示したメモリセルの回路図とは異なる例を図7(C)を用いて説明する。図7(C)は、メモリセルアレイを代表する2つのとなりあうメモリセルの回路図である。なお、対応する信号線に関しては、図7

(A)および(B)と同じ記号を用いる。

【0110】図7(C)に示されたメモリセルは、図7(A)の場合と比較して、各メモリセルを構成するTFTとして新たにスイッチングTFT704a、704bがメモリTFTに直列に配置された回路構成となっている。このような構造を有する不揮発性メモリはNOR型フル機能EEPROMと呼ばれる。

【0111】図7(C)において左側のメモリセルに注目すると、メモリTFT703aのドレイン領域はスイッチングTFT704aのソース領域またはドレイン領域に接続されており、メモリTFT703aのソース領域はソース線Saに接続されている。また、スイッチングTFT704aのソース領域とドレイン領域の残る一方はビット線Baに接続されている。そして、メモリTFT703aのコントロールゲート電極はワード線Wに、スイッチングTFT704aのゲート電極は選択線Vに、それぞれ接続されている。

【0112】また、右側のメモリセルについても、左側のメモリセルと同じ回路構成となっており、メモリTFT703b、スイッチングTFT704b、ソース線Sb、ビット線Bb、ワード線W、選択線Vによって構成されている。

【0113】図7(C)に示したメモリセルを有するNOR型フル機能EEPROMの特徴は、書き込み、読み出し、および消去が全て1ビット毎に可能である点にある。本実施例では、メモリTFTおよびスイッチングT

FTがいずれもnチャネル型TFTの場合について、左側のメモリセルの動作方法を説明する。

【0114】メモリTFT703aへのデータを書き込みと読み出しは、NOR型フラッシュメモリと同様にすれば良く、従って、新たに配置されたスイッチングTFT704aについてはオンの状態となるように選択線Vの電位を設定するとよい。

【0115】つまり、書き込みを行う場合、ソース線SaをGNDに落とし、ビット線Ba、ワード線W、および選択線Vにそれぞれ正の高電圧（例えば20V）を印加する。その結果、インパクトイオン化によるホットエレクトロンがフローティングゲート電極に蓄積され書き込みが行われる。読み出しを行う場合は、ソース線SaをGNDに落とし、ワード線Wに所定の電圧（例えば5V）を印加する。また、スイッチングTFT704aをオンの状態にするために、選択線Vに正の電圧（例えば5V）を印加する。その結果、メモリTFT703aの状態に応じて、メモリセルに記憶されているデータをビット線Baから読み出すことが可能となる。

【0116】データの消去を行う場合は、ソース線Saおよびワード線WをGNDに落す。そして、選択線Vおよびビット線Baに正の高電圧（例えば20V）を印加すると、メモリTFT703aのフローティングゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ放出され、記憶されていたデータが消去される。なお、同じ列の他のメモリセルについては、スイッチングTFTがオフの状態であるため、データの消去は行われない。その結果、メモリTFT703aにおいてのみ消去が行われる。

【0117】上述した動作において、非選択の信号線は全て0Vとすればよい。また、上述した動作電圧の値は一例であって、その値に限られるわけではない。

【0118】本実施例では、メモリTFTおよびスイッチングTFTをnチャネル型TFTとしたが、動作電圧を適した値に設定することによって、それぞれnチャネル型TFTを用いることもpチャネル型TFTを用いることも可能である。また、スイッチングTFTをメモリTFTの両側に配置してもよい。両側に配置することによって、非動作時の電流が低減すると共に、誤動作が起りにくくなる。

【0119】なお、本実施例のNOR型フル機能EEPROMは、マスクを変更することによって、実施例1の作製方法を用いて作製することが可能である。

【0120】（実施例4）本実施例では、実施の形態および実施例3に示したメモリセルの回路図とは異なる例として、NAND型フラッシュメモリの回路図の説明を行う。

【0121】図8は、メモリセルが縦8個×横n個のマトリクス状に配列されたNAND型のメモリセルアレイの回路図である（両端の列のみ図示）。各メモリセルは

それぞれ一つのnチャネル型メモリTFTによって構成されている。

【0122】図8において、同じ列に配置された8つのメモリTFT（例えば第1列の（1、1）～（1、8））は直列に接続されると共に、それぞれのチャネル形成領域が基板配線G1～Gnに接続されている。基板配線G1～Gnは共通配線となっている。また、同じ行に配置されたn個のメモリTFT（例えば第1行の（1、1）～（n、1））は、コントロールゲート電極がワード線W1に接続されている。

【0123】直列に接続された8つのメモリTFT（例えば第1列の（1、1）～（1、8））の両端には、選択用TFT（1、0）及び（1、9）が直列に接続されている。つまり、第1行目のメモリセルの上には、選択用TFT（1、0）～（n、0）が、第8行目のメモリセルの下には、選択用TFT（1、9）～（n、9）がそれぞれ配置されている。選択用TFT（1、0）～（n、0）のソース電極及びドレイン電極の残る一方にはビット線B1～Bnが接続されており、ゲート電極には選択用ゲート線S1が接続されている。また、選択用TFT（1、9）～（n、9）のソース電極及びドレイン電極の残る一方には共通のソース電位Vsが与えられており、ゲート電極には選択用ゲート線S2が接続されている。

【0124】NAND型フラッシュメモリの動作方法について述べる。ここでは、トンネル電流による一括消去と、トンネル電流による一行同時書き込みの方法について説明する。

【0125】本実施例において、“0”の状態とはメモリTFTのフローティングゲート電極に電荷が蓄積されている状態を指し、“1”の状態とはメモリTFTのフローティングゲート電極に電荷が蓄積されていない状態を指す。また、“0”の状態のメモリTFTのしきい値電圧は0.5V～3Vであるとし、“1”の状態のメモリTFTのしきい値電圧は-1V以下であるとする。

【0126】まず、一行同時書き込みについて述べる。具体例として、一行目の同時書き込みを考え、メモリTFT（1、1）に“0”を、メモリTFT（2、1）～（n、1）に“1”を書き込む場合を説明する。なお、書き込む直前は全て“1”の状態とする。まず、基板配線G1～Gnとソース電位VsをGNDに落す。また、選択用ゲート線S1、S2にそれぞれ20V、0Vを印加し、選択用TFT（1、0）～（n、0）をオンの状態に、選択用TFT（1、9）～（n、9）をオフの状態にする。そしてワード線W1に20V、ワード線W2～W8に7Vを印加すると共に、ビット線B1に0V、ビット線B2～Bnに7Vを印加する。

【0127】その結果、メモリTFT（1、1）のフローティングゲート電極-チャネル形成領域間のみ高電圧（約20V）が印加され、トンネル電流によるフロー

ティングゲート電極への電荷注入が行われる。つまり、“0”が書き込まれる。また、メモリTFT(2、1)～(n、1)のフローティングゲート電極-チャネル形成領域間には14Vの電位差が生じるが、トンネル電流によるフローティングゲート電極への電荷注入は殆ど行われない。つまり、メモリTFT(2、1)～

(n、1)は“1”の状態のままとなる。また、一行目以外のメモリTFTについても、フローティングゲート電極-チャネル形成領域間に高々7Vの電位差が生じるだけであり、フローティングゲート電極への電荷注入は行われない。このようにして、一行同時書き込みが行われる。

【0128】メモリTFT(1、1)からの読み出しを行う場合は、まず、基板配線G1～GnをGNDに落とし、ワード線W1に0V、ワード線W2～W8に5Vを印加する。これにより、2行目から8行目のメモリTFTは全てオンの状態となる。また、1行目のメモリTFTは、“1”の状態であればオンの状態となり、“0”の状態であればオフの状態となる。つまり、直列に接続された8つのメモリTFTの導通、非導通は、1行目のメモリTFTの状態で決まることになる。そして、選択用ゲート線S1、S2に5Vを印加し選択用TFTをオンの状態とすると共に、ソース電位VsをGNDに落すことにより、ビット線B1を通して、メモリTFT(1、1)からのデータの読み出しを行うことが可能となる。

【0129】一括消去を行う場合は、全てのワード線W1～W8を0Vとし、基板配線G1～Gnを20Vとする。その結果、フローティングゲート電極-チャネル形成領域間に高電圧が印加され、トンネル電流による消去が行われる。なお、選択用ゲート線の電位は自由に決めて良いが、ゲート酸化膜に強い電界が生じないように、基板配線G1～Gnと同程度の電圧を印加することが好ましい。

【0130】なお、上述した動作電圧の値は、一例であって、その値に限られるわけではない。また、本実施例では、縦8個×横n個のメモリセルアレイについて説明したが、この構成に限定する必要はない。

【0131】本実施例の構成は、実施例1～3に示したいずれの構成とも自由に組み合わせて実施することが可能である。特に、実施の形態に示したNOR型フラッシュメモリと組み合わせてメモリ部を形成することもできる。また、基板配線については、島状半導体層を形成する際に同時に形成すればよい。

【0132】(実施例5)本実施例では、本願発明の不揮発性メモリを構成するメモリセルの上面構造について説明する。図9には、実施の形態に示したNOR型フラッシュメモリ(図1参照)を構成するメモリセルの上面図の一例が示されている。

【0133】図9において、4つのメモリセルは同じ構造を有するため、左上のメモリセルについて説明を行

う。領域901は半導体活性層である。また、ワード線904とフローティングゲート電極903は、第1の配線層形成時に形成され、ソース線905、ビット線907およびコントロールゲート電極902とワード線904とを接続する配線906は、第2の配線層形成時に形成される。図中において、黒く塗りつぶされている部分は、その下部の配線あるいは半導体層とコンタクトをとっていることを示している。

【0134】なお、実施の形態で説明を行ったメモリセルの断面構造(図2)は、図9に示したメモリセルの上面図を例えば線分ABについて切断して得られる断面構造と考えることができる。

【0135】なお、本実施例は実施の形態におけるメモリセルの上面図の一例である。勿論、実施の形態に示した回路図(図1)であれば、他のどのような上面図であっても構わない。

【0136】(実施例6)本実施例では、本願発明の不揮発性メモリを構成するメモリセルの断面構造について、実施の形態とは異なる例を説明する。説明には図10を用いる。

【0137】図10において、絶縁表面を有する基板1001上に形成されたメモリTFT1013は、ソース領域1002、ドレイン領域1004およびチャネル形成領域1003からなる半導体活性層、第1のゲート絶縁膜1005、フローティングゲート電極1006、第2のゲート絶縁膜1007、およびコントロールゲート電極1008を有する。また、層間膜1009上に、コンタクトホールを通して、ソース配線1010、ドレイン配線1011およびコントロールゲート配線1012が引き出されている。

【0138】また、図10におけるメモリTFTは完全空乏型である。典型的には、メモリTFTの半導体活性層の厚さが1nm以上、メモリ素子のチャネル長の1/4以下であればよい。さらに、メモリTFTの半導体活性層の厚さが1nm～50nmの範囲であれば、より好ましい。

【0139】メモリTFT1013がこのような構造を有することにより、バルクシリコン上に形成されたメモリTFT(図3参照)、あるいは本実施例よりも膜厚が厚い半導体活性層を有するメモリTFTと比較して様々な利点を有することは、すでに実施の形態で述べた通りである。

【0140】本実施の形態では、さらにメモリTFT1013がオフセット構造を有することを特徴とする。つまり、メモリTFT1013は、コントロールゲート電極1006とチャネル形成領域204とが第2のゲート絶縁膜1007を介して一部重なった領域(オフセット領域)を有している。

【0141】オフセット構造を有するメモリTFTを用いた不揮発性メモリの特徴は、過消去状態のメモリTFT

Tが存在しても正しい読み出しが可能であることと、非選択のメモリセルにおいてオフ電流が減少し誤動作が抑制されることである。なお、オフセット構造を有するメモリTFETを用いた不揮発性メモリの動作方法としては、実施の形態と同様に、1ビット毎の書き込みと読み出し、およびフラッシュタイプの消去を行うことができる。

【0142】不揮発性メモリがオフセット構造を有さないメモリTFETによって構成される場合、過消去状態のメモリTFETは、読み出し動作の誤動作を引き起こす。これは、読み出しを行うビット線に接続される過消去状態のメモリTFETがオンの状態となるためである。本実施例のように、メモリTFETをオフセット構造とすると、非選択のメモリTFETが過消去状態であっても、オフセット領域によってオフの状態に保たれるので、正しい読み出し動作が可能となる。

【0143】このようにメモリTFETの過消去が許容されると、動作マージンが拡大するとともに、ペリフェイ回路が不要となり周辺回路の小型化が可能となる。

【0144】（実施例7）実施例1に従って作製したTFETの半導体活性層は、結晶粒界においても結晶構造の連続性を有する特異な結晶性珪素膜で形成される。このような結晶性珪素膜に関する詳細は、本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。

【0145】上記結晶性珪素膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶という）が集まって並んだ多結晶珪素膜である。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0146】また、電子線回折及びエックス線（X線）回折を利用すると結晶性珪素膜の表面（チャネル形成領域）が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できる。この時、電子線回折で分析を行えば{110}面に対応する回折斑点がきれいに現れるのを確認することができる。また、各斑点は同心円上に $\pm 1^\circ$ 程度の分布（広がり）を持っていることを確認できる。

【0147】さらに、個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることを強く示唆している。

【0148】結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因すると考えられる。なお、本明細書における平面状粒界の定義は、「Characterization of High-Efficiency

Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0149】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なツイスト粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しない。特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、{211}双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0150】実際に本実施例の結晶性珪素膜を詳細にTEMを用いて観察すれば、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、典型的には{211}双晶粒界であることが判る。

【0151】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。本実施例の結晶性珪素膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\Sigma 3$ の対応粒界であることがわかる。

【0152】以上の考察から、実施例1の作製方法によって得られる結晶性珪素膜は、結晶粒界においてとなりあう二つの結晶粒が極めて整合性よく接合している結晶構造（正確には結晶粒界の構造）を有していることが示される。言い換えると、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、実施例1の作製方法によって得られる結晶性珪素膜は、実質的に結晶粒界が存在しないとみなすことができる。

【0153】またさらに、 $800 \sim 1150^\circ\text{C}$ という高い温度での熱処理工程（実施例1における熱酸化工程に相当する）によって結晶粒内に存在する欠陥（スタッキングフォールト）が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で積層欠陥等の数が大幅に低減していることから明らかである。

【0154】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の結晶性珪素膜のスピン密度は少なくとも $5 \times 10^{17} \text{ spins/cm}^3$ 以下（典型的には $3 \times 10^{17} \text{ spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0155】以上の事から、実施例1に従って作製した結晶性珪素膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶珪素膜又は実質的な単結晶珪素膜と考えて良い。

【0156】（実施例8）本願発明の不揮発性メモリを形成する基板として、SIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI基板を用いてもよい。

【0157】また、本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。

【0158】なお、本実施例の構成は、実施例2～6のいずれの構成とも自由に組み合わせることが可能である。また、SOI基板に対しては、工程条件の最適化を行うことにより、実施例1の作製方法のうち結晶性珪素膜の形成後の工程をそのまま適用することができる。

【0159】（実施例9）本願発明の不揮発性メモリは、絶縁表面を有する基板上に形成されたTFTによって構成された半導体装置の部品と一体形成することにより、多機能、高機能、および小型の半導体装置を提供することができる。本実施例では、そのような例として、本願発明の不揮発性メモリ、画素部、画素部を駆動する駆動回路、 γ （ガンマ）補正回路を備えた電気光学装置（代表的には、液晶表示装置およびEL表示装置）を示す。

【0160】図11に本実施例の電気光学装置のブロック図を示す。図11において、本願発明の不揮発性メモリ1102と、画素部1105と、画素部を駆動するゲート信号側駆動回路1103およびソース信号側駆動回路1104と、 γ （ガンマ）補正回路1101と、が設けられている。また、画像信号、クロック信号若しくは同期信号等は、FPC（フレキシブルプリントサーキット）1106經由して送られてくる。

【0161】 γ 補正回路とは γ 補正を行うための回路である。 γ 補正とは画像信号に適切な電圧を付加することによって、画素電極に印加される電圧とその上の液晶又はEL層の透過光強度との間に線形関係を作るための補正である。

【0162】また、本実施例の電気光学装置は、例えば実施例1の作製方法によって絶縁表面を有する基板上に一体形成することができる。この際、不揮発性メモリ1102だけでなく、画素部1105、画素部を駆動する駆動回路1103、1104、および γ 補正回路を構成するTFTについても完全空乏型とすることは有効である。なお、液晶またはEL層の形成を含むTFT形成後の工程については公知の方法を用いればよい。

【0163】また、本実施例では、画素部を駆動する駆動回路として、ソース配線駆動回路およびゲート配線駆

動回路をそれぞれ1つずつ設けているが、それぞれ複数の駆動回路を設けても構わない。また、画素部1105、画素部を駆動する駆動回路1103、1104、および γ （ガンマ）補正回路1101については、公知の回路構造を用いれば良い。

【0164】本実施例の電気光学装置において、不揮発性メモリ1102には、パソコン本体やテレビ受信アンテナ等から送られてきた画像信号に γ 補正をかけるための補正データが格納（記憶）されている。 γ 補正回路1101は、その補正データを参照して画像信号に対する γ 補正を行う。

【0165】 γ 補正のためのデータは電気光学装置を出荷する前に一度格納しておけば良いが、定期的に補正データを書き換えることも可能である。また、同じように作成した電気光学装置であっても、微妙に液晶の光学応答特性（先の透過光強度と印加電圧の関係など）が異なる場合がある。その場合も、本実施例では電気光学装置毎に異なる γ 補正データを格納しておくことが可能なので、常に同じ画質を得ることが可能である。

【0166】さらに、不揮発性メモリに複数の補正データを格納して、新たに制御回路を加えることにより、補正データに基づく複数の色調表示を自由に選択することも可能である。

【0167】なお、不揮発性メモリ1102に γ 補正の補正データを格納する際、本出願人による特願平10-156696号に記載された手段を用いることは好ましい。また、 γ 補正に関する説明も同出願になされている。

【0168】また、不揮発性メモリに格納する補正データはデジタル信号であるので、必要に応じてD/Aコンバータ若しくはA/Dコンバータを同一基板上に形成することが望ましい。

【0169】なお、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせて実施することができる。

【0170】（実施例10）本願発明の不揮発性メモリを具備する半導体装置であって、実施例9に示した半導体装置とは異なる例を、図12を用いて説明する。

【0171】図12に、本実施例の電気光学装置（代表的には、液晶表示装置およびEL表示装置）のブロック図を示す。本実施例の電気光学装置には、本願発明の不揮発性メモリ1203、SRAM1202、画素部1206、画素部を駆動するゲート信号側駆動回路1204およびソース信号側駆動回路1205、およびメモリコントローラ回路1201が設けられている。また、画像信号、クロック信号若しくは同期信号等は、FPC（フレキシブルプリントサーキット）1207經由して送られてくる。

【0172】本実施例におけるメモリコントローラ回路1201とは、SRAM1202および不揮発性メモリ

1203に画像データを格納したり読み出したりという動作を制御するための制御回路である。

【0173】SRAM1202は高速なデータの書き込みを行うために設けられている。SRAMの代わりにDRAMを設けてもよく、また、高速な書き込みが可能な不揮発性メモリであれば、特にSRAMを設けなくてもよい。

【0174】本実施例の電気光学装置は、例えば実施例1の作製方法によって絶縁表面を有する基板上に一体形成することができる。この際、不揮発性メモリ1203だけでなく、画素部1206、画素部を駆動する駆動回路1204、1205、SRAM1202、およびメモリコントローラ回路1202を構成するTFTについても完全空乏型とすることは有効である。なお、液晶またはEL層の形成を含むTFT形成後の工程については公知の方法を用いて作製すれば良い。

【0175】また、本実施例では、画素部を駆動する駆動回路として、ソース配線駆動回路およびゲート配線駆動回路をそれぞれ1つずつ設けているが、それぞれ複数の駆動回路を設けても構わない。また、SRAM1202、画素部1206、画素部を駆動する駆動回路1204、1205、およびメモリコントローラ回路1201については、公知の回路構造を用いれば良い。

【0176】本実施例の電気光学装置において、パソコン本体やテレビ受信アンテナ等から送られてきた画像信号は、1フレーム毎にSRAM1202に格納（記憶）され、その画像信号はメモリコントローラ回路1201によって順次画素部1206に入力され表示される。SRAM1202には少なくとも画素部1206に表示される画像1フレーム分の画像情報が記憶される。例えば、6ビットのデジタル信号が画像信号として送られてくる場合、少なくとも画素数×6ビットに相当するメモリ容量を必要とする。また、メモリコントローラ回路1201により、必要に応じて、SRAM1202に格納された画像信号を不揮発性メモリ1203へ格納したり、不揮発性メモリ1203に格納された画像信号を画素部1206へ入力し表示したりすることができる。

【0177】なお、SRAM1202および不揮発性メモリ1203に格納する画像データはデジタル信号であるので、必要に応じてD/Aコンバータ若しくはA/Dコンバータを同一基板上に形成することが望ましい。

【0178】本実施例の構成では、画素部1206に表示された画像を常にSRAM1202に記憶しており、画像の一時停止を容易に行うことができる。さらにSRAM1202に記憶された画像信号を不揮発性メモリ1203へ格納したり、不揮発性メモリ1203に記憶された画像信号を画素部へ入力することによって、画像の録画および再生といった動作を容易に行うことができる。そして、ビデオデッキ等に録画することなくテレビ放送を自由に一時停止することや、録画、再生を行うこ

とが可能となる。

【0179】録画および再生可能な画像の量は、SRAM1202と不揮発性メモリ1203の記憶容量に依存する。少なくとも1フレーム分の画像信号を格納することにより、静止画の録画と再生が可能となる。さらに、数百フレーム、数千フレーム分といった画像情報を格納しうる程度まで不揮発性メモリ1203のメモリ容量を増やすことができれば、数秒若しくは数分前の画像を再生（リプレイ）することも可能となる。

【0180】なお、本実施例の構成は、実施例1～7および9のいずれの構成とも自由に組み合わせて実施することができる。

【0181】（実施例11）本願発明の不揮発性メモリは、TFTで構成された半導体装置の部品と一体形成することによって、実施例9、10に示したような多機能、高機能および小型の電気光学装置を提供することが可能となる。本実施例では、本願発明の不揮発性メモリと一体形成可能な半導体装置としてアクティブマトリクス型液晶表示装置について述べる。

【0182】図13（A）はアクティブマトリクス型液晶表示装置の回路図である。図13（A）において、アクティブマトリクス型液晶表示装置は、画素1304がマトリクス状に配置された画素部1301と、ソース信号側駆動回路1302と、ゲート信号側駆動回路1303とを有する。ソース信号側駆動回路とゲート信号側駆動回路として、それぞれ複数の駆動回路を設けても構わない。

【0183】また、画素部1301を構成する画素1304の拡大図を図13（B）に示す。画素1304は、スイッチングTFT1311、液晶素子1314およびコンデンサ1315を有し、スイッチングTFT1311のゲート電極はゲート信号線1312に、ソース電極とドレイン電極のいずれか一方がソース信号線1313に接続されている。スイッチングTFT1311のソース電極とドレイン電極の残る一方は、液晶1314およびコンデンサ1315に接続されている。また、液晶素子1314およびコンデンサ1315の残る一方の電極には所定の電位が与えられる。

【0184】なお、コンデンサ1315の電極の一方は、配線1316に接続せずに、専用の電源供給線に接続しても構わない。さらに、コンデンサ1315を設けなくても良い。また、スイッチングTFT1311はnチャネル型TFTでもpチャネル型TFTでもよい。

【0185】なお、本願発明の不揮発性メモリを本実施例のアクティブマトリクス型液晶表示装置に一体形成する場合、実施例1～10のいずれの構成を組み合わせても良い。

【0186】（実施例12）本願発明の不揮発性メモリは、TFTで構成された半導体装置の部品と一体形成することによって、実施例9、10に示したような多機

能、高機能および小型の電気光学装置を提供することが可能となる。本実施例では、本願発明の不揮発性メモリと一体形成可能な半導体装置としてアクティブマトリクス型EL表示装置について述べる。

【0187】図14(A)はアクティブマトリクス型EL表示装置の回路図である。図14(A)において、アクティブマトリクス型EL表示装置は、画素1404がマトリクス状に配置された画素部1401と、ソース信号側駆動回路1402と、ゲート信号側駆動回路1403とを有する。ソース信号側駆動回路とゲート信号側駆動回路は、それぞれ複数あっても構わない。

【0188】また、画素部1401を構成する画素1404の拡大図を図14(B)に示す。画素1404は、スイッチングTFT1411、EL駆動用TFT1414、EL素子1416を有し、スイッチングTFT1411のゲート電極はゲート信号線1412に、ソース電極とドレイン電極のいずれか一方がソース信号線1413に接続されている。スイッチングTFT1411のソース電極とドレイン電極の残る一方は、EL駆動用TFT1414のゲート電極に接続されている。また、EL駆動用TFT1414のソース電極が電源供給線1415に、ドレイン電極がEL素子1416に接続されている。EL素子1416のもう一方の電極には所定の電位が与えられる。

【0189】なお、EL駆動用TFT1414のゲート電極と電源供給線1415の間にコンデンサを設けてもよい。

【0190】本実施例のアクティブマトリクス型EL表示装置では、EL駆動用TFTとしてnチャネル型TFTを用いる。また、スイッチングTFT1411はnチャネル型TFTでもpチャネル型TFTでもよい。

【0191】なお、本願発明の不揮発性メモリを本実施例のアクティブマトリクス型EL表示装置に一体形成する場合、実施例1～10のいずれの構成を組み合わせてもよい。

【0192】(実施例13)本願発明の不揮発性メモリには、様々な用途がある。本実施例では、本願発明の不揮発性メモリを用いた電子機器について説明する。

【0193】そのような電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ、ゴーグル型ディスプレイ、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図15、16に示す。

【0194】図15(A)はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本願発明の不揮発性メモリは、表示部2003やその他の信号制御回路と一体形成されてもよい。

【0195】図15(B)はビデオカメラであり、本体

2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の不揮発性メモリは、表示部2102やその他の信号制御回路と一体形成されてもよい。

【0196】図15(C)はヘッドマウントディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、表示装置2206等を含む。本願発明の不揮発性メモリは表示装置2206やその他の信号制御回路と一体形成されてもよい。

【0197】図15(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体2302、操作スイッチ2303、表示部2304、2305等で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の不揮発性メモリは表示部2304やその他の信号制御回路と一体形成されてもよい。

【0198】図15(E)はゴーグル型ディスプレイであり、本体2401、表示部2402、アーム部2403を含む。本願発明の不揮発性メモリは表示部2402やその他の信号制御回路と一体形成されてもよい。

【0199】図15(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等で構成される。本願発明の不揮発性メモリは、表示部2503やその他の信号制御回路と一体形成されてもよい。

【0200】図16(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本願発明の不揮発性メモリは表示部2604やその他の信号制御回路と一体形成されてもよい。

【0201】図16(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本願発明の不揮発性メモリは表示部2702やその他の信号制御回路と一体形成されてもよい。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いてもよい。

【0202】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～12のどのような組み合わせからなる構成を用いても実現することができる。

【0203】

【発明の効果】本願発明によると、メモリTFTを完全空乏型TFTとすることにより、不揮発性メモリの消費電力の低減、低電源電圧化、および書き換え回数的大幅

な向上を図ることができる。また同時に、不揮発性メモリの低動作電圧化、読み出し動作の高速化、ソフトウェア耐性の向上といった効果も得られる。

【0204】また、本願発明によると、メモリセルをその駆動回路および他の周辺回路と一体形成することにより、不揮発性メモリの小型化を図ることができる。

【0205】さらに、本願発明の不揮発性メモリをTFTで構成された他の半導体部品と一体形成することにより、高機能化、多機能化、及び小型化が可能な不揮発性メモリを具備する半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本願発明の不揮発性メモリの回路構成を示す図。

【図2】 本願発明の不揮発性メモリを構成するメモリTFTの断面図。

【図3】 従来の不揮発性メモリを構成するメモリTFTの断面図。

【図4】 本願発明の不揮発性メモリの作製行程を示す図。

【図5】 本願発明の不揮発性メモリの作製行程を示す図。

【図6】 本願発明の不揮発性メモリの作製行程を示す図。

【図7】 本願発明の不揮発性メモリを構成するメモリセルの回路図。

【図8】 本願発明の不揮発性メモリを構成するメモリセルの回路図。

【図9】 本願発明の不揮発性メモリを構成するメモリセルの上面図。

【図10】 本願発明の不揮発性メモリを構成するメモ

リTFTの断面図。

【図11】 本願発明の不揮発性メモリを用いた電気光学装置のブロック図。

【図12】 本願発明の不揮発性メモリを用いた電気光学装置のブロック図。

【図13】 アクティブマトリクス型液晶表示装置の構成を示す図。

【図14】 アクティブマトリクス型EL表示装置の構成を示す図。

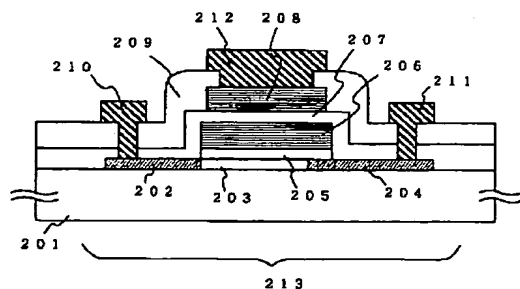
【図15】 本願発明の不揮発性メモリを用いた電子機器。

【図16】 本願発明の不揮発性メモリを用いた電子機器。

【符号の説明】

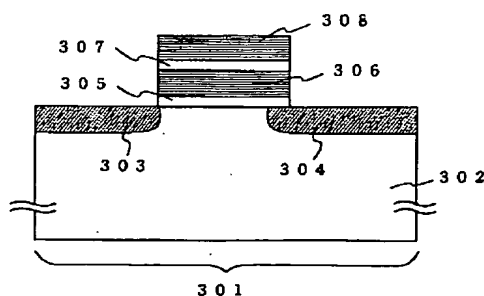
- | | |
|---------|--------------|
| 101 | Xアドレスデコーダ |
| 102 | Yアドレスデコーダ |
| 103、104 | 周辺回路 |
| 201 | 基板 |
| 202 | ソース領域 |
| 203 | チャネル形成領域 |
| 204 | ドレイン領域 |
| 205 | 第1のゲート絶縁膜 |
| 206 | フローティングゲート電極 |
| 207 | 第2のゲート絶縁膜 |
| 208 | コントロールゲート電極 |
| 209 | 層間絶縁膜 |
| 210 | ソース配線 |
| 211 | ドレイン配線 |
| 212 | コントロールゲート配線 |
| 213 | メモリTFT |

【図2】



201 基板 202 ソース領域 203 チャネル形成領域 204 ドレイン領域 205 第1のゲート絶縁膜 206 フローティングゲート電極 207 第2のゲート絶縁膜 208 コントロールゲート電極 209 層間絶縁膜 210 ソース配線 211 ドレイン配線 212 コントロールゲート配線 213 メモリTFT

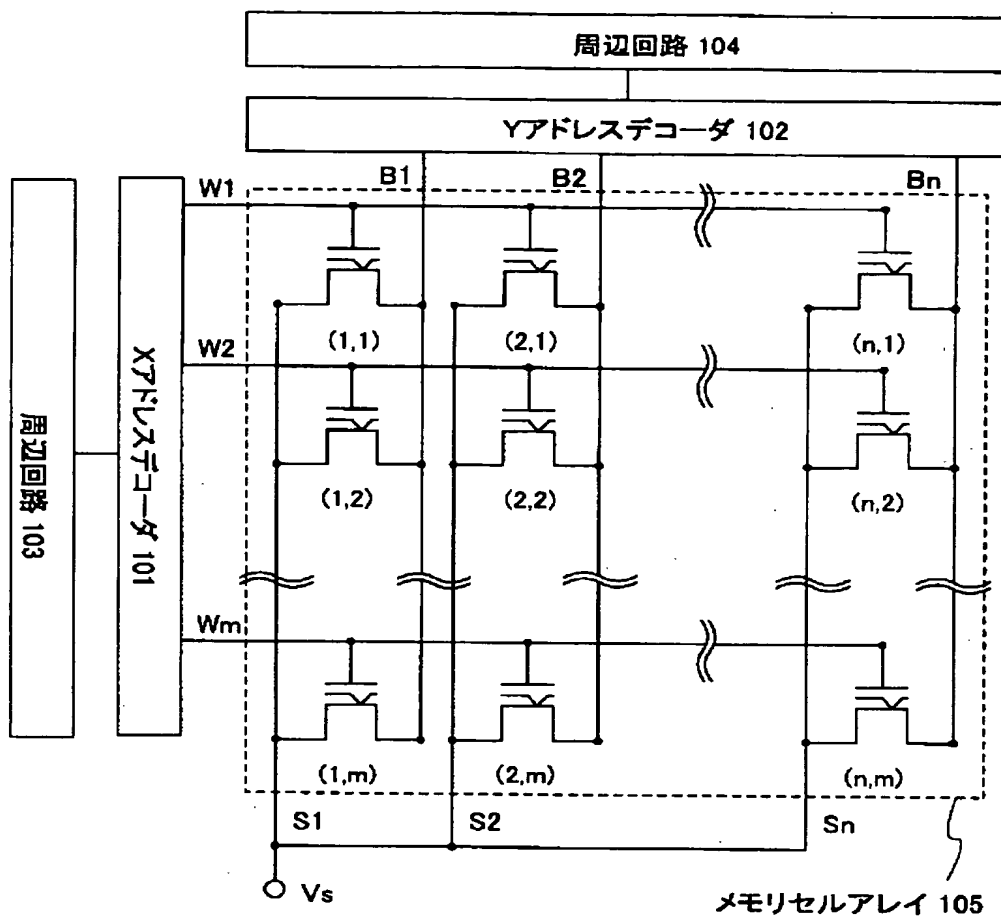
【図3】



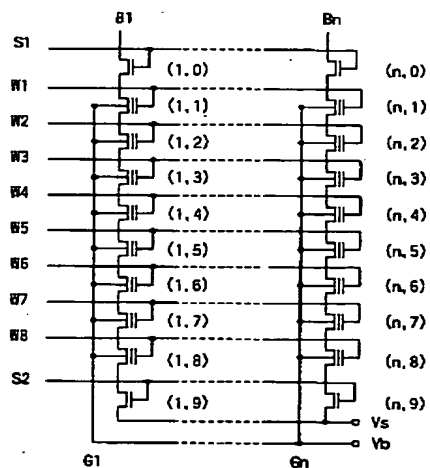
301 メモリ素子 302 バルクシリコン基板 303 ソース領域 304 ドレイン領域 305 第1のゲート絶縁膜 306 フローティングゲート電極 307 第2のゲート絶縁膜 308 コントロールゲート電極

BEST AVAILABLE COPY

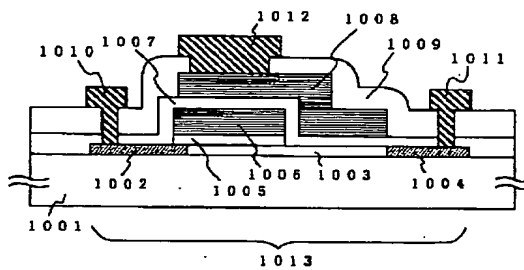
【図1】



【図8】



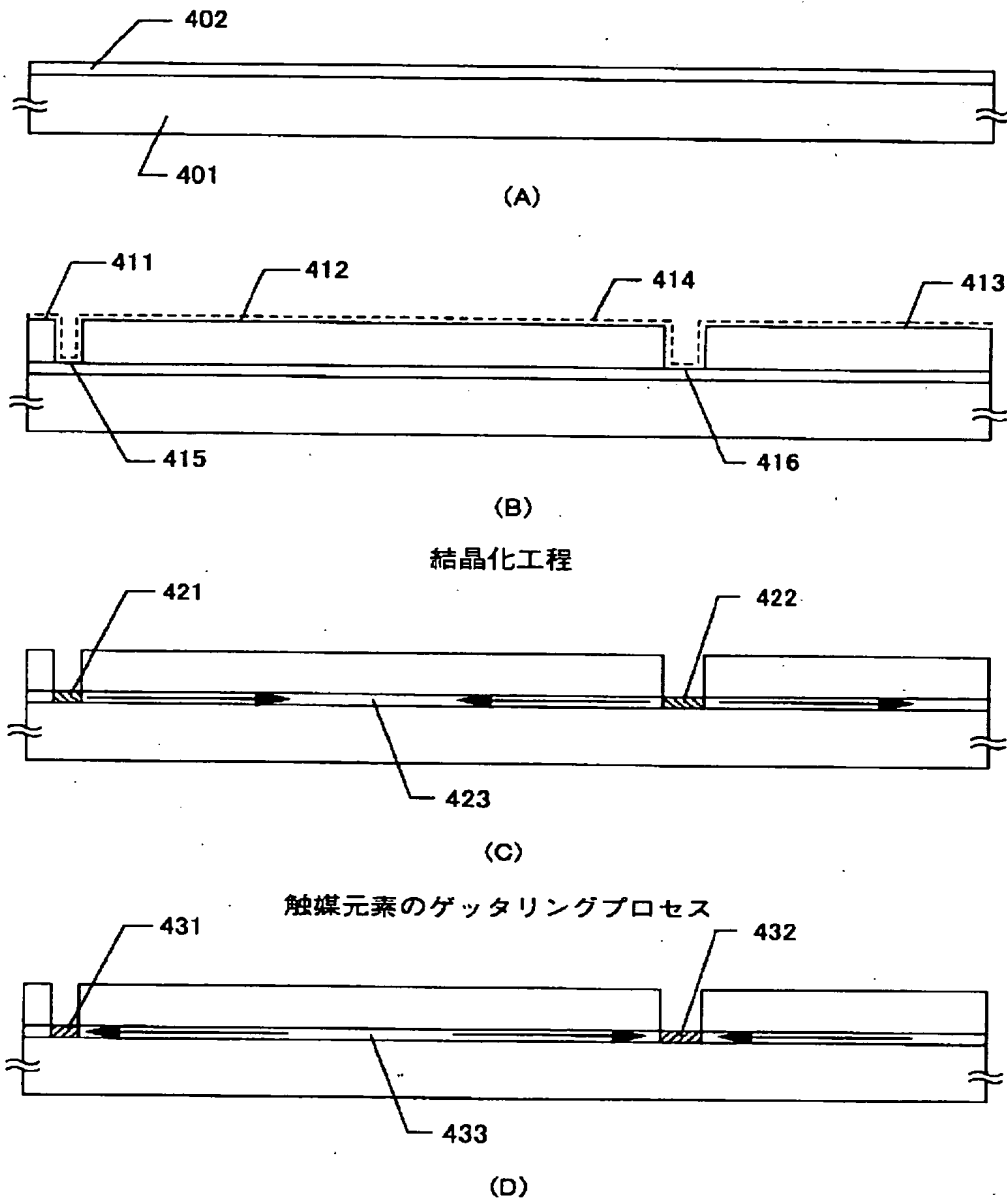
【図10】



1001 基板 1002 ソース領域 1003 チャネル形成領域 1004
ドレイン領域 1005 第1のゲート絶縁膜 1006 フローティングゲート
電極 1007 第2のゲート絶縁膜 1008 コントロールゲート電極 10
09 層間絶縁膜 1010 ソース配線 1011 ドレイン配線 1012
コントロールゲート配線 1013 メモリアレイ

BEST AVAILABLE COPY

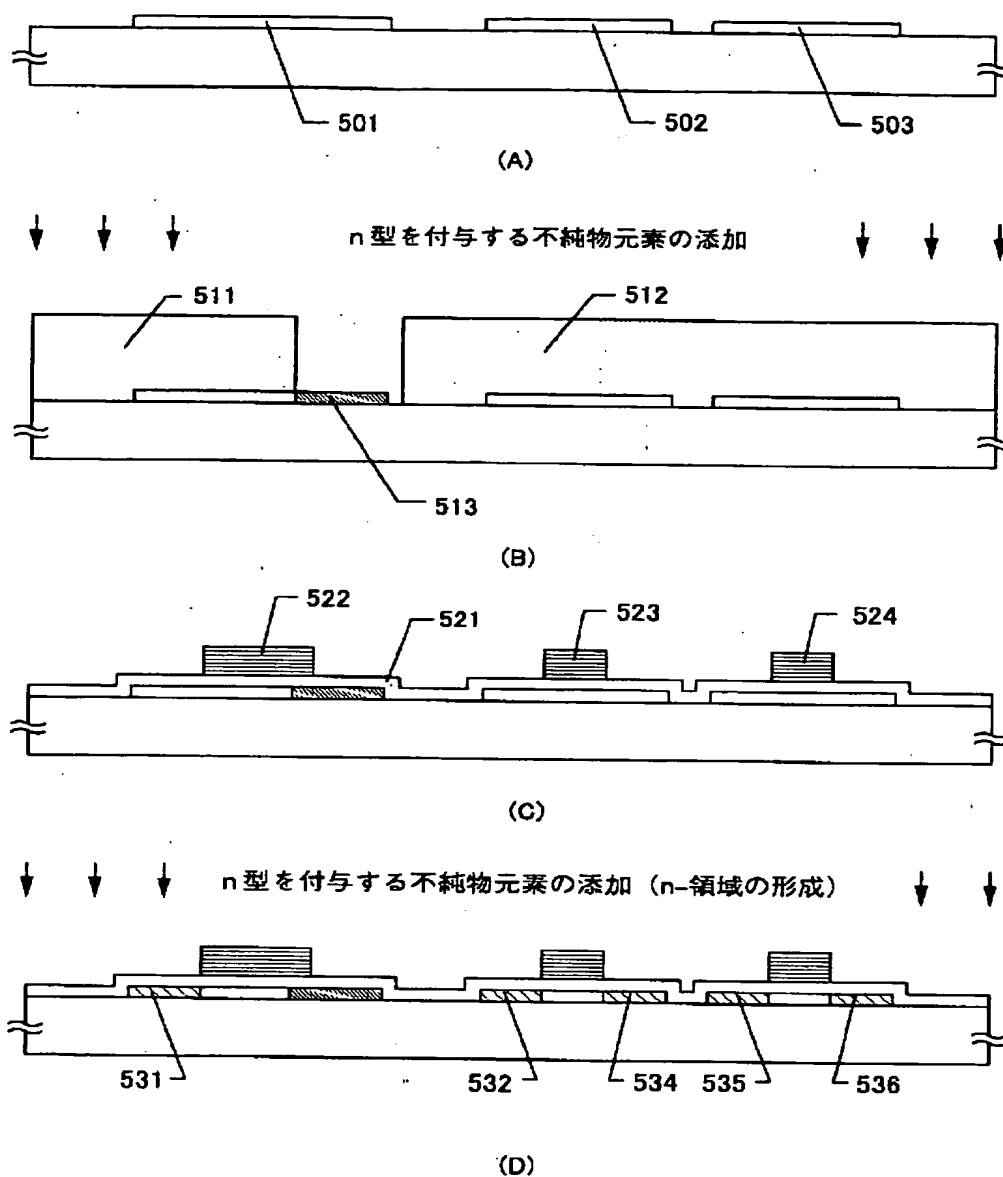
【図4】



401 石英基板 402 非晶質珪素膜 411、412、413 酸化珪素膜 414 Ni含有層 415、416 開口部 421、422 Ni添加領域 423 結晶性珪素膜 431、432 リン添加領域 433 結晶性珪素膜

BEST AVAILABLE COPY

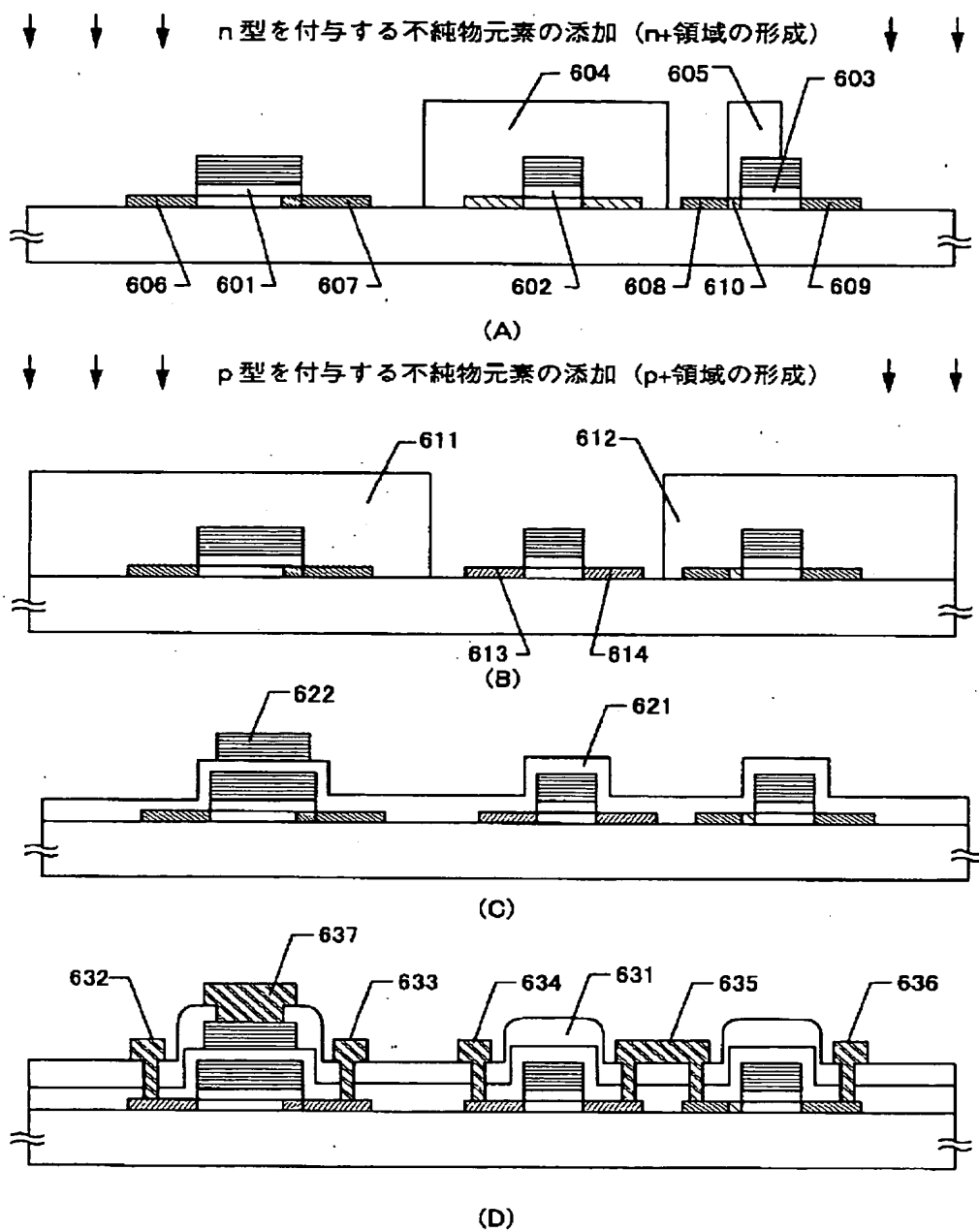
【図5】



501、502、503 島状半導体層 511、512 レジストマスク
 513 n型不純物領域 521 第1のゲート絶縁膜 522 フローテ
 イングゲート電極 523、524 ゲート電極 531～536 低濃度
 n型不純物領域

BEST AVAILABLE COPY

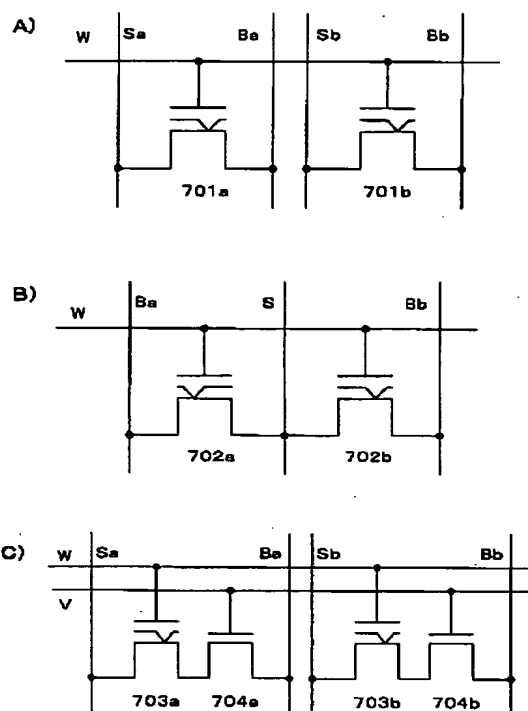
【図6】



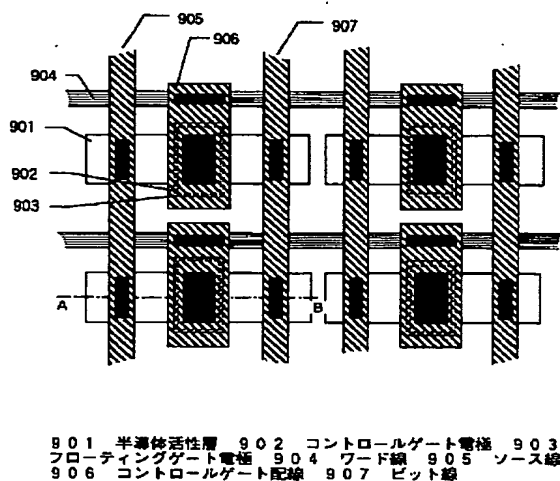
601～603 第1のゲート絶縁膜 604、605 レジストマスク 606～609 n型不純物領域 610 LDD領域 611、612 レジストマスク 613、614 p型不純物領域 621 第2のゲート絶縁膜 622 コントロールゲート電極 631 層間絶縁膜 632～636 ソース・ドレイン配線 637 コントロールゲート配線

BEST AVAILABLE COPY

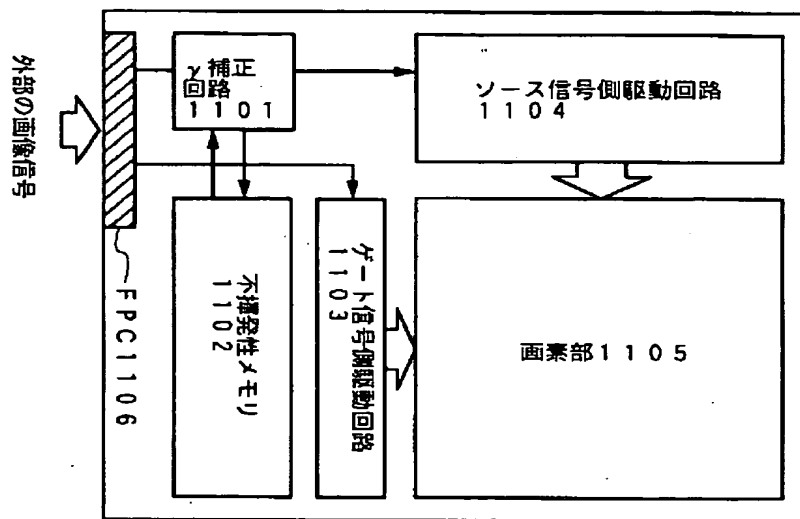
【図7】



【図9】

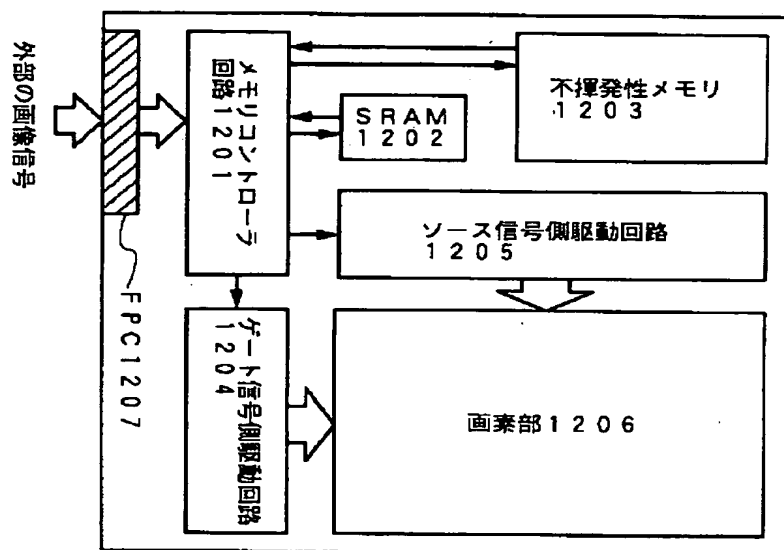


【図11】



BEST AVAILABLE COPY

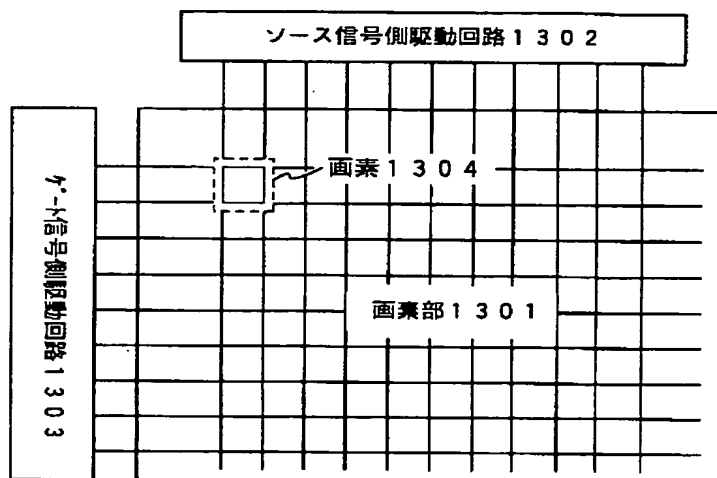
【図12】



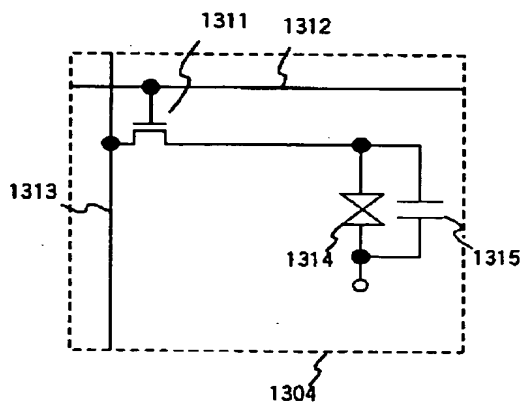
BEST AVAILABLE COPY

【図13】

(A)



(B)

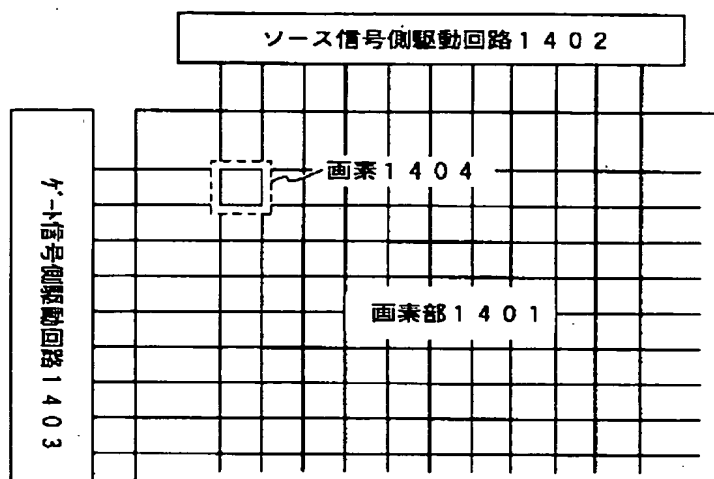


1304	画素	1311	スイッチング用TFT
1312	ゲート信号線	1313	ソース信号線
1314	液晶素子	1315	コンデンサ

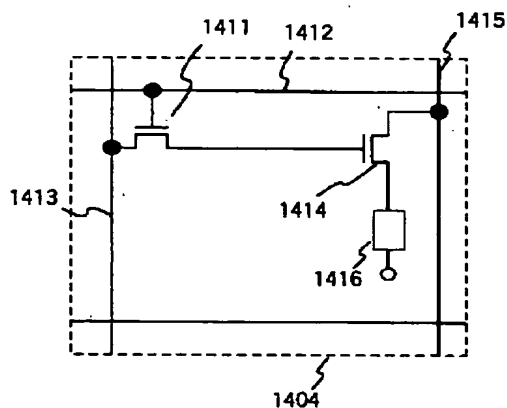
BEST AVAILABLE COPY

【図14】

(A)



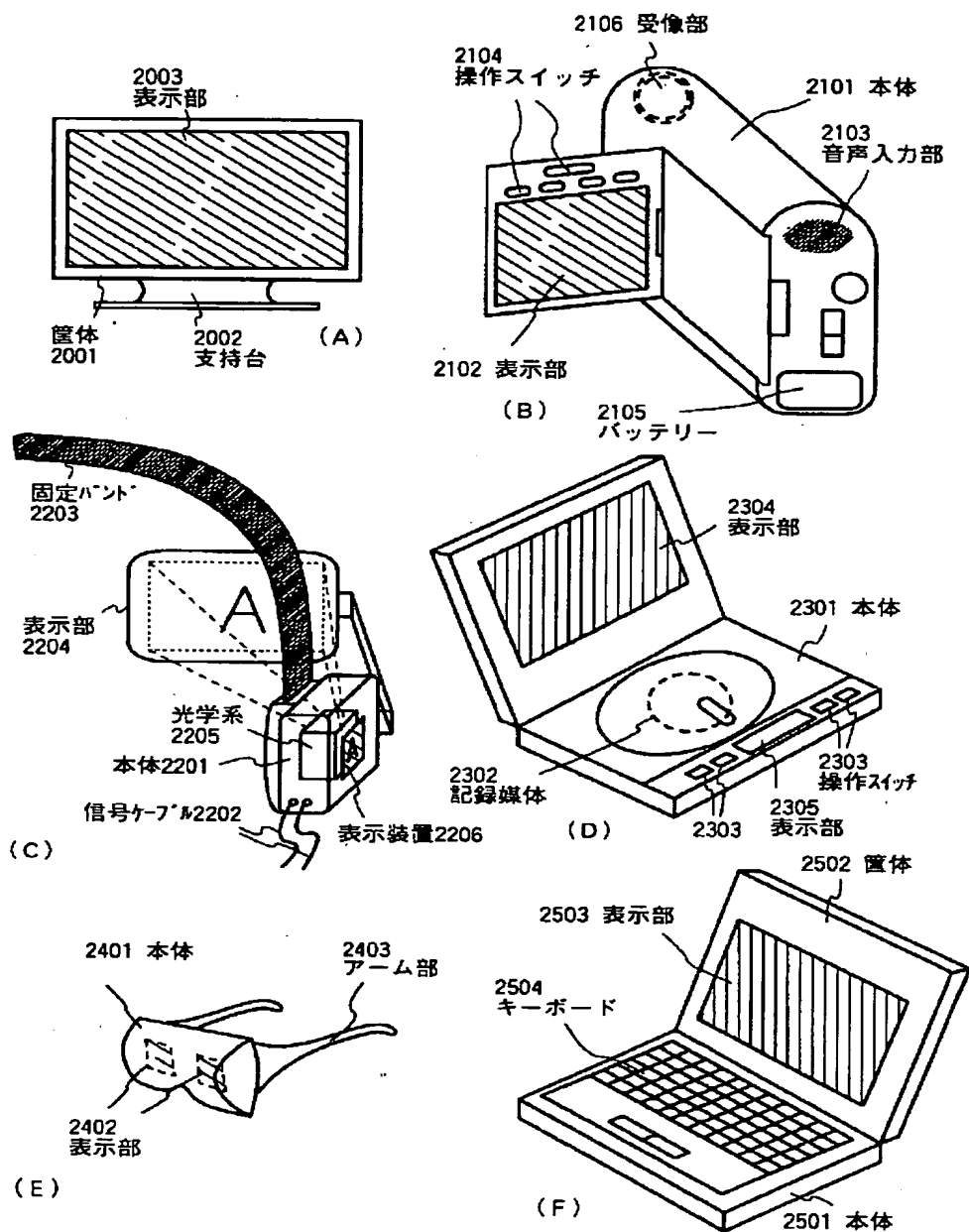
(B)



1404	画素	1411	スイッチング用TFT
1412	ゲート信号線	1413	ソース信号線
1414	EL駆動用TFT	1415	電源供給線
1416	EL素子		

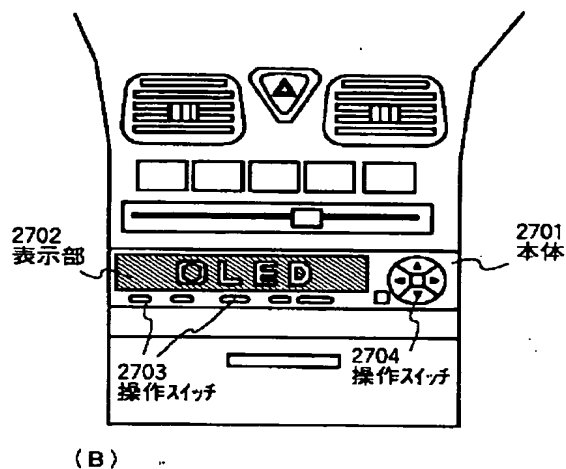
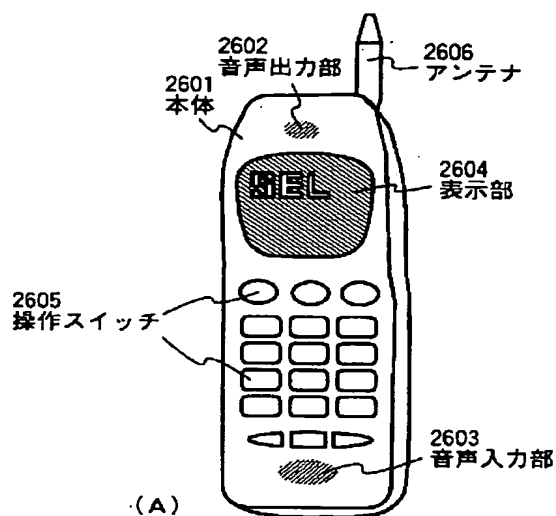
BEST AVAILABLE COPY

【図15】



BEST AVAILABLE COPY

【図16】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	ターマート* (参考)
H 0 1 L 21/322		H 0 1 L 27/08	3 2 1 C
21/8238			3 2 1 L
27/092		27/10	4 3 4
27/08	3 3 1	29/78	6 1 2 B
27/115			6 1 3 B
29/786			6 1 3 A